

# KOREAN PATENT ABSTRACTS(KR)

Document Code:B1

(11) Publication No.1002689100000 (44) Publication.Date. 20000718

(21) Application No.1019980014400 (22) Application Date. 19980422

(51) IPC Code: G11C 11/22

**(71) Applicant:**

HYUNDAI ELECTRONICS INDUSTRIES CO., LTD.

**(72) Inventor:**

KANG, HEE BOK

**(30) Priority:**

**(54) Title of Invention**

NON-VOLATILE FERROELECTRIC MEMORY DEVICE

**(57) Abstract:**

PURPOSE: A non-volatile ferroelectric memory device is provided to control input/output timing of data to/from a memory cell and a chip enable signal by detecting the change of X, Y and Z addresses fed externally and using the detected address change.

CONSTITUTION: A multiplicity of cell array parts is formed in vertical and horizontal directions. Split wordline driving parts are formed between the cell array parts positioned at the horizontal direction and share cell array parts placed adjacent in the vertical direction. Core parts are formed between the cell array parts positioned in the vertical direction and shares cell array parts placed adjacent in the horizontal direction. A local control signal generating part generates a control signal for controlling each of the core parts and each of the split wordline driving parts. The cell array parts include bitlines formed in a horizontal direction, bitbarlines formed in one side of each of the bitlines, the first split wordlines formed in a direction intersecting with the bitlines, the second split wordlines formed in one side of each of the first split wordlines, and memory cells formed between the first split wordlines and the second split wordlines. The core parts include a sense AMPs coupled with input/output terminals of each of the bitlines and the bitbarlines, an input/output control part that generates a control signal for controlling the input/output of each of the sense AMPs, a column control part that generates a control signal for controlling the sense AMPs and the input/output control part, and a pull-down and equalizer part pulls down the bitlines and the bitbarlines and receives a control signal by equalizing them.

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> G11C 11/22		(45) 공고일자 (11) 등록번호 (24) 등록일자	2000년 10월 16일 10-0268910 2000년 07월 18일
(21) 출원번호 (22) 출원일자 (73) 특허권자 (72) 발명자 (74) 대리인	10-1998-0014400 1998년 04월 22일 현대반도체주식회사 김영환 충청북도 청주시 흥덕구 향정동 1번지 강희복 대전광역시 서구 도마동 359-27 양지타운 3-401 김용인, 강용복	(65) 공개번호 (43) 공개일자	특 1999-0080861 1999년 11월 15일

심사관 : 곽준영

(54) 비휘발성 강유전체 메모리소자

명세서

도면의 간단한 설명

- 도 1 (a)는 일반적인 강유전체의 히스테리시스 루프를 나타낸 특성도  
 도 1 (b)는 일반적인 강유전체 메모리의 단위 커패시터 구성도  
 도 2는 종래 2T/2C 강유전체 메모리 셀 어레이 구성도  
 도 3 (a)는 종래 2T/2C 강유전체 메모리 셀의 기록 동작을 설명하기 위한 타이밍도  
 도 3 (b)는 종래 2T/2C 강유전체 메모리 셀의 읽기 동작을 설명하기 위한 타이밍도  
 도 4는 본 발명의 비휘발성 강유전체 메모리소자에 따른 스플릿 워드라인 구동부 및 셀 어레이의 구성블록도  
 도 5는 본 발명의 비휘발성 강유전체 메모리소자에 따른 단위셀의 구성도  
 도 6은 본 발명의 비휘발성 강유전체 메모리소자에 따른 셀 어레이의 구성도  
 도 7은 본 발명의 비휘발성 강유전체 메모리소자에 따른 구동회로의 구성블록도  
 도 8은 본 발명에 따른 글로벌 제어신호 발생부의 구성도  
 도 9는 도 8에 따른 Y-어드레스 변화시 글로벌 제어신호 발생부의 입출력 파형도  
 도 10은 도 8에 따른 X,Z-어드레스 변화시 글로벌 제어신호 발생부의 입출력 파형도  
 도 11은 본 발명에 따른 로컬 제어신호 발생부의 구성도  
 도 12는 본 발명에 따른 칼럼 제어부의 구성도  
 도 13은 본 발명에 따른 센스앰프 및 입/출력 제어부의 구성도  
 도 14는 본 발명에 따른 센스앰프 및 입/출력 제어부의 다른 실시예를 도시한 도면  
 도 15는 본 발명에 따른 Y-어드레스 변화시 라이트모드에서의 로컬 제어신호 발생부의 동작설명을 위한 타이밍도  
 도 16은 본 발명에 따른 Y-어드레스 변화시 리드모드에서의 로컬 제어신호 발생부의 동작설명을 위한 타이밍도  
 도 17은 본 발명에 따른 X,Z-어드레스 변화시 라이트모드에서의 로컬 제어신호 발생부의 동작설명을 위한 타이밍도  
 도 18은 본 발명에 따른 X,Z-어드레스 변화시 리드모드에서의 로컬 제어신호 발생부의 동작설명을 위한 타이밍도

도면의 주요부분에 대한 부호의 설명

21 : 메모리 셀	41,82 : 스플릿 워드라인 구동부
42,83 : 셀 어레이부	43 : 코어부
71 : X-어드레스 버퍼부	72 : X-프리 디코더부
73 : Z-어드레스 버퍼부	74 : Z-프리 디코더부
75 : X,Z-ATD발생부	76 : 글로벌 제어신호 발생부

77 : Y-어드레스 버퍼부	78 : Y-프리 디코더부
79 : Y-ATD발생부	80 : 로컬 제어신호 발생부
81 : X-포스트 디코더부	84 : 칼럼 제어부
85 : 센스앰프 및 임/출력 제어부	86 : 임/출력 버스 인터페이스부

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비휘발성 강유전체 메모리에 관한 것으로, 특히 플레이트 라인을 사용하지 않은 비휘발성 강유전체 메모리소자에 관한 것이다.

일반적으로 반도체 기억 소자로 가장 많이 사용되는 DRAM(Dynamic Random Access Memory) 정도의 데이터 처리 속도를 갖고 전원의 OFF시에도 데이터가 보존되는 강유전체 메모리 즉, FRAM(Ferroelectric Random Access Memory)이 차세대 기억 소자로 주목받고 있다.

FRAM은 DRAM과 같이 기억 소자로 커패시터를 이용하고 있으나, 커패시터의 유전체 물질로써 강유전체를 사용하고, 강유전체의 특성인 높은 잔류 분극을 이용하여 전계를 제거하더라도 데이터가 지워지지 않는 원리를 이용한 기억 소자이다.

도 1 (a)는 일반적인 강유전체의 히스테리시스 루프를 나타낸 특성도이고, 도 1 (b)는 일반적인 강유전체 메모리의 단위 커패시터 구성도이다.

즉, 도 1 (a)의 히스테리시스 루프에서와 같이, 전계에 의해 유기된 분극이 전계를 제거해도 자발 분극의 존재로 인하여 소멸되지 않고 일정량(d,a 상태)을 유지하고 있는 것을 알 수 있다. 이 d,a 상태를 각각 1.0으로 대응시켜 기억 소자로 응용한 것이다.

즉, 도 1 (b)에서 노드 1(Node 1)에 양(+)의 전압을 가한 상태가 도 1 (A)에서 c 상태이고, 그 후 전압을 가하지 않은 상태가 d가 되게 된다. 다시 반대로 노드 1에 음(-)의 전압을 가하면 d의 상태에서 f의 상태로 이동하게 된다. 그리고 노드 1에 전압을 가하지 않으면 a의 상태로 되고 다시 노드 1에 양의 전압을 가하면 b의 상태를 거쳐 c의 상태로 된다.

결국, 커패시터 양단에 전압이 없어도 a와 d의 안정된 상태로 데이터가 기억되는 것이다. 히스테리시스 루프상 c, d 상태가 논리 값 "1"의 상태이고, a, f 상태가 논리 값 "0"의 상태가 된다.

그리고 커패시터에 저장된 데이터를 읽어내는 방법으로는 d 상태를 파괴시키는 방법을 이용하여 커패시터에 저장된 데이터를 읽어낸다.

종래의 기술은 기준 전압 발생기에서 생성된 전압과 메인 셀 어레이(Main Cell Array)에서 발생한 전압을 이용하여 데이터를 읽어내기 위해 센스앰프(Sense Amplifier)를 이용하는 것이다.

강유전체 기준 셀에는 1 극성과 0 극성의 두가지 모드 상태를 이용하여 기준 비트라인에 기준 전압을 생성하게 된다.

따라서 메인 셀의 비트라인 전압과 기준 셀(reference cell)의 비트라인 전압을 센스앰프가 비교함으로써 메인 셀의 정보를 읽어낼 수 있다.

읽어낸 데이터는 같은 사이클(Cycle)에서 다시 쓰기(rewrite)하여 파괴된 데이터를 복구하게 된다. 특히 종래 기술에서는 기준 전압을 공급하기 위한 복수개로 구성된 강유전체 셀과 관련된 센스앰프 회로 기술과, 메인 메모리 셀 어레이에 있어서의 메인 셀에 저장된 데이터를 감지하여 증폭하는 센스앰프와 메인 셀 어레이 회로 기술에 관한 것이다.

복수개의 강유전체 기준 셀 갯수는 짝수가 되는데 반은 1극성 상태이고 다른 반은 0극성 상태가 된다.

이하, 첨부된 도면을 참조하여 종래 기술의 강유전체 메모리소자에 관하여 설명하면 다음과 같다.

도 2는 종래의 2T/2C 강유전체 메모리 셀 어레이 구성도이다.

종래의 2T/2C 강유전체 메모리 셀 구성은 단위 셀의 구성이 2개의 트랜지스터와 2개의 커패시터로 구성된다.

즉, 일정한 간격을 갖고 일 방향으로 복수개의 워드라인(W/L)이 형성되고, 각 워드라인(W/L) 사이에는 워드라인과 평행하게 복수개의 플레이트 라인(Plate Line, P/L)이 형성된다. 상기 각 워드라인(W/L) 및 플레이트 라인(P/L)과 수직인 방향으로 일정한 간격을 갖고 복수개의 비트라인(B<sub>n</sub>, B<sub>n+1</sub>, ...)과 비트바 라인(BB<sub>n</sub>, BB<sub>n+1</sub>, ...)교번하여 형성된다. 그리고 단위 메모리 셀(21)을 구성하는 2개 트랜지스터(T1, T2)의 게이트 전극은 공통으로 인접한 하나의 워드라인(W/L)에 연결되고, 상기 각 트랜지스터의 소오스 전극은 인접한 비트 라인(B<sub>n</sub>)과 비트바라인(BB<sub>n</sub>)에 연결되며, 각 트랜지스터의 드레인 전극은 각각 2개 커패시터의 제 1 전극과 연결되고 2개의 커패시터의 소오스 전극은 공통으로 인접한 플레이트 라인(P/L)에 연결된다.

이와 같은 종래의 2T/2C 강유전체 메모리 셀의 구동회로 및 동작은 다음과 같다.

종래의 2T/2C 강유전체 메모리 셀은 다음과 같이 로직 값 "1" 또는 "0"를 기록(write)하고 리드(read)한다.

즉, 도 3 (a)와 같이, 라이트 모드시는 외부에서 칩(Chip) 인에이블 신호인 CSBpad신호가 "하이"에서 "로우"로 천이되어 인에이블 되면, 동시에 라이트 인에이블 신호(WEBpad)도 "하이"에서 "로우"로 천이됨과 동시에 기록하고자하는 로직 값에 따라 비트라인 및 비트바라인에 각각 "하이" 및 "로우" 또는 "로우" 및 "하이"신호를 인가한다.

그리고 어드레스의 디코딩이 시작되어 선택된 셀의 워드라인에는 "로우"에서 "하이"로 천이하여 셀이 선택된다. 그리고 워드라인이 "하이"를 유지하고 있는 기간에서 해당 플레이트 라인(P/L)에는 차례로 일정 기간의 "하이" 신호와 일정 기간의 "로우" 신호가 인가된다.

즉, 로직 값 "1"을 기록하기 위해서 비트라인(B-n)에 "하이"신호를, 비트바라인(BB-n)에 "로우" 신호를 인가하고, 로직 값 "0"을 기록하기 위해서 비트라인(B-n)에 "로우"신호를 비트바라인(BB-n)에 "하이"신호를 인가하면 된다. 이와 같은 방법에 의해 로직 값 "1" 또는 "0"이 기록된다.

셀에 저장된 데이터를 읽어내기 위한 동작은 다음과 같다.

도 3 (b)와 같이, CSBpad신호가 "하이"에서 "로우"로 인에이블되고, 라이트 인에이블 신호(WEBpad)가 "로우"에서 "하이"로 천이되면 라이트(write)모드는 끝나고 읽기(read) 모드임을 나타낸다.

그리고, 해당 워드라인이 선택되기 전에 모든 비트라인은 이퀄라이저 신호에 의해 로우(Vss)로 등전위가 된다.

저전압으로 등전위를 완료한 다음, 어드레스를 디코딩하고 디코딩된 어드레스에 의해 해당 워드라인에 "로우"에서 "하이"로 신호가 천이되어 해당 셀을 선택한다.

선택된 셀의 플레이트 라인에 "하이"신호를 인가하여 비트라인 또는 비트바라인의 데이터를 파괴시킨다. 즉, 로직 값 "1"이 기록되어 있다면 비트라인에 연결된 커패시터의 데이터가 파괴되고 로직 값 "0"이 기록되어 있다면 비트바라인에 연결된 커패시터의 데이터가 파괴될 것이다.

이와 같이 비트라인 또는 비트바라인 중 어느 쪽의 데이터가 파괴되느냐에 따라 상술한 바와 같은 히스테리시스 루프의 원리에 의해 서로 다른 값을 출력하게 된다.

따라서 비트라인 및 비트바라인을 통해 출력되는 데이터를 센스앰프가 센스하게 되면 로직 값 "1" 또는 "0"을 센싱한다.

이와 같이 센스앰프가 메모리 셀의 데이터를 증폭하여 출력한 후에는 원래의 데이터로 복원하여야 하므로 해당 워드라인에 "하이"를 인가한 상태에서 플레이트 라인을 "하이"에서 "로우"로 비 활성화 시킨다.

#### 발명이 이루고자하는 기술적 과제

이와 같은 종래의 강유전체 메모리소자에 있어서는 다음과 같은 문제점이 있었다.

첫째, 전원 OFF시에도 데이터가 보존된다는 장점이 있음에도 불구하고 종래의 FRAM에는 셀 플레이트 라인을 별도로 구성하여야 하므로 레이아웃이 복잡하고, 그에 따른 제조 공정 역시 복잡하여 양산 측면에서 불리하다.

둘째, 별도의 플레이트 라인을 이용하여야 하므로 데이터의 읽기, 쓰기 동작에서 플레이트 라인에 컨트롤 신호를 공급하여야 하므로 기억 소자로서의 효율성이 떨어진다.

셋째, 종래의 강유전체 메모리 셀은 새로운 전극 물질 및 배리어(Barrier)재료가 제시되지 않으면 집적도를 해결할 수 없다.

넷째, 집적도 측면에서 문제를 일으키는 또 다른 이유는 강유전체막을 실리콘 표면에 직접 형성하는 기술이 미흡하기 때문에 커패시터를 실리콘 기판 또는 폴리 실리콘 위에 직접 형성할 수 없으므로 동일 용량의 DRAM보다 면적이 커지게 된다.

다섯째, 워드라인과 셀 플레이트라인이 개별적으로 컨트롤되므로 컨트롤신호의 전달경로(Path)의 차이로 인한 정확한 컨트롤이 불가능하다.

본 발명은 이와 같은 종래 기술의 FRAM의 문제점을 해결하기 위하여 안출한 것으로, 별도의 셀 플레이트 라인을 구성하지 않는 비휘발성 강유전체 메모리소자를 제공하는데 그 목적이 있다.

#### 발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명의 비휘발성 강유전체 메모리소자는 수평방향 및 수직방향으로 형성된 복수개의 셀 어레이부들; 상기 수평방향의 셀 어레이부 사이사이에 형성되어 수평방향으로 인접한 셀 어레이부를 공유하는 스플릿 워드라인 구동부들; 상기 수직방향의 셀 어레이부의 사이사이에 형성되어 수직방향으로 인접한 셀 어레이부를 공유하는 코어부들; 외부에서 입력되는 Y-어드레스의 변화에 따라 상기 각 코어부들 및 스플릿 워드라인 구동부를 제어하기 위한 제어신호를 출력하는 로컬 제어신호 발생부를 포함하여 구성된다.

그리고 복수개의 비트라인들과 상기 각 비트라인의 일측에 형성된 복수개의 비트바라인들, 상기 비트라인에 교차하는 방향으로 형성된 복수개의 제 1, 제 2 스플릿 워드라인들과, 상기 각 비트라인들과 교차하는 상기 제 1 스플릿 워드라인과 제 2 스플릿 워드라인 사이에 형성된 복수개의 메모리 셀로 이루어진 비휘발성 강유전체 메모리소자에 따른 로컬 제어신호 발생부의 동작에 있어서, 칩인에이블신호가 활성화되어 있는 상태에서 라이트모드의 경우 Y-어드레스만이 변화하는 시점에서 Y-ATD신호 또는 X,Z-ATD신호가 하이상태로 천이되면 제 1 스플릿 워드라인(SWL1)에 인가되는 신호와 제 2 스플릿 워드라인(SWL2)에 인가되는 신호가 각각 로우상태와 하이상태인 구간 또는 하이상태와 로우상태인 구간에서 메모리 셀에 로직 1을, 그리고 상기 제 1, 제 2 스플릿 워드라인에 인가되는 신호가 모두 하이인

구간에서 메모리 셀에 로직 0을 라이트하는 라이트동작을 수행하고, 리드모드의 경우, 상기 라이트 인에 이블신호를 하이상태로 천이하여 Y-어드레스만 또는 X,Z-어드레스만의 변화에 의해 Y-ATD신호 또는 X,Z-ATD신호가 하이상태가 되어도 제 1 스플릿 워드라인(SWL1)과 제 2 스플릿 워드라인(SWL2)이 비활성화 상태를 계속 유지하도록 하여 Y-어드레스 또는 X,Z-어드레스가 변화하는 시점에서 센스앰프에 래치된 데이터를 데이터버스에 전달시키는 리드동작을 수행하는 것을 특징으로 한다.

이하, 본 발명의 비휘발성 강유전체 메모리소자를 첨부된 도면을 참조하여 설명하기로 한다.

도 4는 본 발명의 비휘발성 강유전체 메모리소자에 대한 전체 구성을 간단하게 나타낸 구성 블록도이다.

본 발명의 강유전체 메모리 소자의 Chip은 크게 스플릿 워드라인(Split Word Line)을 구동하는 스플릿 워드라인 구동부(SWL Driver)(41)와, 데이터를 저장하기 위한 셀 어레이부(Cell Array(42))와, 데이터를 센싱하기 위한 센스앰프 블록과 비트라인을 컨트롤하는 비트라인 컨트롤 블록을 포함하고 있는 코어부(Core)(43)로 구성된다.

여기서, 셀 어레이부(42)는 하나의 스플릿 워드라인 구동부(41)를 중심으로 좌우측에 각각 배열되고, 코어부(43)는 각 셀 어레이부(42)의 상하 방향으로 셀 어레이부(42) 사이 사이에 배치된다.

그리고, 코어부를 구성하고 있는 센스앰프는 비트라인의 수 만큼 구성되어 비트라인과 해당 비트바라인에 각각 연결된다.

이와 같이 구성되는 본 발명의 셀 어레이부를 좀 더 상세히 설명하면 다음과 같다.

도 5는 본 발명의 비휘발성 강유전체 메모리소자에 따른 단위셀의 구성도이고 도 6은 복수개의 단위셀을 갖는 메모리 셀 어레이를 도시하였다.

먼저, 도 5에 도시한 바와 같이, 본 발명에 따른 비휘발성 강유전체 메모리소자에 따른 단위셀은 비트라인(Bit<sub>n</sub>) 및 비트바라인(BitB<sub>n</sub>), 상기 비트라인(Bit<sub>n</sub>) 및 비트바라인(BitB<sub>n</sub>)에 교차하는 방향으로 형성된 제 1 스플릿 워드라인(Split Word Line)(SWL1) 및 제 2 스플릿 워드라인(SWL2), SWL1에 게이트가 연결되는 제 1 트랜지스터(T1), 일측전극이 제 1 트랜지스터(T1)와 연결되고 다른 일측전극은 SWL2에 연결되는 제 1 강유전체 커패시터(FC1), SWL2에 게이트가 연결되는 제 2 트랜지스터(T2), 일측전극이 제 2 트랜지스터(T2)와 연결되고 다른 일측전극은 상기 SWL1에 연결되는 제 2 강유전체 커패시터(FC2)를 포함하여 구성된다.

도 5의 구성에 있어서, 쓰기(write)모드에서 SWL1과 SWL2가 모두 하이(high)일 경우에는 데이터 "0"과 "1"을 비트라인(Bit<sub>n</sub>)과 비트바라인(BitB<sub>n</sub>)을 통해 각각 제 1 강유전체 커패시터(FC1)와 제 2 강유전체 커패시터(FC2)에 저장한다.

그리고 읽기(read)모드에서는 제 1 강유전체 커패시터(FC1)와 제 2 강유전체 커패시터(FC2)에 저장된 데이터 "0"은 비트라인(Bit<sub>n</sub>)에 실리게 되고, 데이터 "1"은 비트바라인(BitB<sub>n</sub>)에 실리게 된다.

여기서, 제 1 강유전체 커패시터(FC1)에 데이터 "0"이 제 2 강유전체 커패시터(FC2)에 데이터 "1"이 이미 저장되어 있으면, 비트라인의 전압상승값은 비트바라인의 전압상승값보다 작아진다.

즉, 제 2 강유전체 커패시터(FC2)에 데이터 "1"이 저장되어 있을 경우, 데이터 "1"이 데이터 "0"으로 바뀌면서 많은 잔류분극 전하가 비트바라인으로 인가되어 더 큰 전압상승을 일으키기 때문이다.

따라서, 데이터 "1"에서 데이터 "0"으로의 분극파괴가 일어나 제 2 강유전체 커패시터(FC2)에 재저장(restore)된다.

이와 반대로, 제 1 강유전체 커패시터(FC1)에 데이터 "1"이 저장되어 있고, 제 2 강유전체 커패시터(FC2)에 데이터 "0"이 저장되어 있을 경우, 상기 SWL1, SWL2가 모두 하이일 때 제 1 강유전체 커패시터(FC1)에 "1"으로 저장되었던 데이터가 파괴된다.

여기서, 제 1 강유전체 커패시터(FC1)와 제 2 강유전체 커패시터(FC2)에 파괴된 데이터 "1"을 재저장 해 주기 위해서는 다음과 같은 타이밍펄스가 필요하다.

즉, 제 1 강유전체 커패시터(FC1)에는 데이터 "1"이, 제 2 강유전체 커패시터(FC2)에는 데이터 "0"이 저장되어 있을 경우, 상기 제 1 강유전체 커패시터(FC1)에 데이터 "1"을 재저장해 주기 위해서는 SWL1에 하이(high)신호를 인가하고, SWL2에는 로우(low)신호를 인가한다.

따라서, 비트라인(Bit<sub>n</sub>)에 실린 데이터 "1"은 SWL1에 의해 턴-온되어 있는 제 1 트랜지스터(T1)를 통해 제 1 강유전체 커패시터(FC1)의 일측전극에 인가되고, 레퍼런스(reference)역할을 하는 반대쪽 전극(즉, SWL2에 연결된 전극)에는 로우전압이 인가되어 결과적으로 제 1 강유전체 커패시터(FC1)에 데이터 "1"을 재저장해줄 수가 있다.

또한, 제 1 강유전체 커패시터(FC1)에 데이터 "0"을, 제 2 강유전체 커패시터(FC2)에 데이터 "1"이 저장되어 있을 경우, 제 2 강유전체 커패시터(FC2)에 데이터 "1"을 재저장하기 위해서는 상기 SWL1에는 로우신호를 인가하고, SWL2에는 하이신호를 인가한다.

즉, 비트바라인의 데이터 "1"이 SWL2의 하이신호에 의해 턴-온되어 있는 제 2 트랜지스터(T2)를 통해 제 2 강유전체 커패시터(FC2)의 일측전극에 인가되고 SWL1에 연결된 다른쪽 전극에는 로우전압이 인가되어 결과적으로 제 2 강유전체 커패시터(FC2)에 데이터 "1"을 재저장된다.

이와 같이, 읽기(read)모드에서의 동작원리를 데이터 "1"의 쓰기 동작에서도 동일하게 적용할 수가 있다.

즉, 제 1 강유전체 커패시터(FC1)에 데이터 "1"을 저장하기 위해서는 SWL1에는 하이신호를 인가하고, SWL2에는 로우신호를 인가한다.

그리고 제 2 강유전체 커패시터(FC2)에 데이터 "1"을 저장하기 위해서는 SWL1에 로우신호를 인가하고,

SWL2에는 하이신호를 인가하면 된다.

한편, 도 6에 도시된 바와 같이, 복수개의 비트라인(B<sub>n</sub>, B<sub>n+1</sub>, ...)중 임의의 비트라인과 복수개의 제 1 스플릿 워드라인(SWL1<sub>n</sub>, SWL1<sub>n+1</sub>, SWL1<sub>n+2</sub>, SWL1<sub>n+3</sub>, ...)이 교차하는 각 지점마다 단위셀이 구성된다.

두 개의 스플릿 워드라인(SWL1, SWL2)을 갖는 본 발명의 비휘발성 강유전체 메모리장치에 있어서는 하나의 스플릿 워드라인만을 인에이블시킬 수 없고, 반드시 두 개의 스플릿 워드라인(SWL1, SWL2)을 동시에 인에이블시켜야 한다.

한편, 도 7은 본 발명의 비휘발성 강유전체 메모리소자를 설명하기 위한 개념 블록도이다.

도 7에 도시한 바와 같이, 외부에서 입력되는 X, Y, Z 어드레스 중 X 어드레스 신호를 버퍼링하는 X-어드레스 버퍼부와(71), 상기 X-어드레스 버퍼부(71)에서 출력되는 신호를 프리디코딩(Pre-decoding)하는 X-프리 디코더(X-Pre-Decoder)부(72)와, 외부에서 입력되는 X, Y, Z 어드레스 중 Z 어드레스를 버퍼링하는 Z-어드레스 버퍼부(73)와, 상기 Z-어드레스 버퍼부(73)에서 출력되는 신호를 프리디코딩하는 Z-프리 디코더(X-Pre-Decoder)부(74)와, 상기 X-어드레스 버퍼부(71) 및 Z-어드레스 버퍼부(73)에서 출력되는 X-어드레스 및 Z-어드레스 신호의 어드레스 천이점을 검출하여 출력하는 X, Z-ATD 발생부(75)와, 상기 X, Z-ATD 발생부(75)의 출력신호와 외부에서 입력되는 CSBpad 신호를 입력하고 자체에서 power-up 감지신호를 생성하여 상기 X, Z-ATD 신호, CSBpad 신호 및 power-up 감지 신호에 따라 메모리 제어에 관한 기본 신호를 출력하는 글로벌 제어신호 발생부(76)와, 외부에서 입력되는 X, Y, Z 어드레스 중 Y-어드레스를 버퍼링하는 Y-어드레스 버퍼부(77), 상기 Y-어드레스 버퍼부(77)에서 출력되는 신호를 프리코딩하는 Y-프리 디코더(X-Pre-Decoder)부(78)와, 상기 Y-어드레스 버퍼부(77)에서 출력되는 Y-어드레스 신호의 어드레스 천이점을 검출하여 출력하는 Y-ATD 발생부(79)와, 상기 글로벌 제어신호 발생부(76)의 출력신호와 상기 Z-프리 디코더부(74)에서 출력되는 프리 디코딩 신호와 Y-ATD 발생부(79)의 출력신호를 합성하여 각 메모리 블록에 필요한 신호를 발생하는 로컬 제어신호 발생부(80)와, 상기 X-프리 디코더부(72) 및 Z-프리 디코더부(74)에서 출력되는 프리디코딩된 신호를 합성하여 해당 메모리 셀 블록을 선택하는 X-포스트 디코더부(X-Post-decoder)(81)와, 상기 X-포스트 디코더부(81)와 상기 로컬 제어신호 발생부(80)에서 출력되는 신호를 합성하여 각 SWL 셀 블록(83)의 각 스플릿 워드라인을 구동하는 스플릿 워드라인 구동부(SWL Driver)(82)와, 상기 Y-프리 디코더부(78) 및 로컬 제어신호 발생부(80)의 출력신호를 합성하여 해당 비트라인(또는 비트바라인)을 선택하는 칼럼 제어부(84)와, 상기 로컬 제어신호 발생부(80)의 출력신호와 상기 칼럼 제어부(84)의 출력신호를 합성하여 센스앰프(Sense Amp)의 동작 및 임/출력(I/O)을 제어하는 센스앰프 및 임/출력 제어부(85)와, 외부의 데이터 버스와 상기 센스앰프 및 임/출력 제어부(85)를 인터페이스시키기 위한 임/출력 버스 제어부(86)를 구비하여 구성된다.

여기서 글로벌 제어신호 발생부를 좀더 구체적으로 설명하면 다음과 같다.

도 8은 글로벌 제어신호 발생부의 블록구성도이다.

본 발명 제 1 실시예의 글로벌 제어신호 발생부는 외부에서 입력되는 CSBpad신호, X, Z-ATD 발생부(75)의 X, Z-ATD 신호 또는 파워-업 검출신호 중 적어도 CSBpad신호를 포함한 신호를 입력 받아 제 1, 제 2 동기신호를 발생하는 입력 버퍼부(91)와; 상기 입력 버퍼부(91)의 제 1 동기신호와, 피드백 신호를 받아 저전압시에는 동작이 이루어지지 않도록 하는 저전압 검출신호 및 상기 제 1 동기신호의 노이즈를 필터링하는 노이즈 제거신호와, 비트라인 등의 예비 충전을 위한 프리 활성화 펄스를 각각 출력하는 저전압 동작 및 노이즈 방지부(92)와; 상기 저전압 동작 및 노이즈 방지부(92)에서 정상적으로 전원 전압이 공급될 때 상기 노이즈 제거된 신호를 입력하여 센스앰프의 인에이블 시점을 조절하기 위한 제 1 컨트롤 신호와, 칼럼 선택 인에이블 시점을 조절하고 비트라인 및 비트바라인의 풀-업(pull-up)을 조절하기 위한 제 2 컨트롤 신호와, 스플릿 워드라인 구동부(SWL Drive)의 입력신호 및 기타 컨트롤 신호를 생성하기 위한 제 3 컨트롤 신호를 각각 출력하는 제 1 컨트롤부(93)와; 상기 제 1 컨트롤부(93)의 제 3 컨트롤신호를 입력하여 상기 스플릿 워드라인 구동부의 한 쌍의 스플릿 워드라인(SWL1, SWL2)을 위한 SWL1의 기본 파형 발생 신호(S1) 및 SWL2의 기본 파형 발생 신호(S2)와, 상기 신호(S1)(S2)의 활성화기간을 조절하기 위한 기본펄스신호인 제 4 컨트롤신호와, 상기 제 4 컨트롤신호의 구동능력을 향상시킬 펄스신호(P2)를 각각 생성하여 상기 제 4 컨트롤신호는 상기 저전압동작 및 노이즈 방지부(92)의 피드백신호로 출력하고 상기 펄스신호를 로컬 제어신호 발생부(80)로 출력하는 제 2 컨트롤부(94)와, 상기 입력 버퍼부(91)의 제 1, 제 2 동기신호와 상기 제 2 컨트롤부(94)의 제 4 컨트롤 신호를 입력하여 상기 SWL1의 기본 파형 발생 신호(S1)과 상기 SWL2의 기본 파형 발생 신호(S2)를 제외한 모든 신호 디스에이블 시 상기 CSBpad 신호에 동기되도록 조절하기 위한 제 5 컨트롤 신호와, 상기 SWL1의 기본 파형 발생 신호(S1)와 상기 SWL2의 기본 파형 발생 신호(S2)가 인에이블된 상태에서 만약 CSBpad 신호가 디스에이블 되면 디스에이블을 차단하여 상기 SWL1의 기본 파형 발생 신호(S1)와 상기 SWL2의 기본 파형 발생 신호(S2)가 정상적으로 동작이 완료될 때까지 인에이블상태를 연장시켜주기 위한 제 6 컨트롤 신호를 출력하는 제 3 컨트롤부(95)와; 상기 제 3 컨트롤부(95)의 제 5, 제 6 컨트롤 신호와 상기 제 1 컨트롤부(93)의 제 1, 제 2, 제 3 컨트롤 신호와 상기 저전압 동작 및 노이즈 방지부(92)의 예비 활성화 펄스를 입력하여 센스앰프의 NMOS 소자의 인에이블 신호(SAN) 및 PMOS 소자의 인에이블 신호(SAP)와, 메인 셀의 비트라인 및 비트바라인과 센스앰프 노드의 저전압 프리차지를 조절하기 위한 컨트롤 신호(C3)와, 칼럼 선택 인에이블 시점의 풀-업(pull-up)을 조절하는 컨트롤 신호(C4)를 출력하는 제 4 컨트롤부(96)를 포함하여 구성된다.

한편, 상기 글로벌 제어신호 발생부에서 외부의 입력신호(CSBpad 신호, A, Z-ATD 신호 및 파워-업 검출신호)가 안정하게 입력된다고 가정하면 상기 저전압 동작 및 노이즈 방지부가 없이도 충분히 동작된다.

도 9는 본 발명의 Y-어드레스 변화시 글로벌 제어신호 발생부의 입출력 타이밍도이다.

도 9에 도시한 바와 같이, 칩 인에이블신호인 CSBpad신호는 칩 인에이블 핀을 통해 외부에서 인가된다.

여기서, 칩 인에이블신호는 로우상태를 인에이블상태로 하기 때문에 상기 CSBpad신호가 하이(high)에서 로우(low)로 천이될 때가 인에이블상태가 된다.

새로운 읽기동작이나 쓰기동작을 수행하기 위해서는 반드시 하이상태로의 비활성화(disable)기간이 요구된다.

도 9에 도시된 S1은 전술한 SWL1을 발생하기 위한 로컬 제어신호 발생부(80)에 인가되는 글로벌 제어신호 발생부(76)의 출력신호이고, S2도 SWL2를 발생하기 위한 로컬 제어신호 발생부(80)에 인가되는 글로벌 제어신호 발생부(76)의 출력신호이다.

즉, SWL1과 SWL2에 인가되는 신호는 메모리 셀 어레이의 로우(ROW)방향으로 인가되는 신호이므로 도면에는 도시되지 않았다.

스플릿 워드라인 구동부(82)에서 로우 어드레스 디코더(Row Address Decoder)의 신호와 PS1 및 PS2가 합성되어 스플릿 워드라인 구동신호인 SWL1신호와 SWL2신호를 만든다.

도 9는 글로벌 제어신호 발생부의 입출력 파형도로서, t1에서부터 t15구간으로 분할하여 각 구간별로 신호의 변화상태를 설명하기로 한다.

CSBpad신호가 t1구간의 시작점에서 t15가 시작되기 이전까지는 로우(low)상태로 활성화되고, t15구간이 시작되면 하이(high)상태로 비활성화된다고 가정하면,

먼저, 도면에서도 나타난 바와 같이, t1구간에서는 CSBpad신호를 하이(high)에서 로우(low)로 인에이블시킨다.

이때, X, Y, Z-어드레스는 t1이전의 상태를 계속 유지하고, t7이 시작되는 시점에서 Y-어드레스가 천이되면 이때에 Y-ATD신호는 t7에서부터 t8구간까지 하이상태가 된다.

즉, Y-ATD신호는 Y-어드레스의 변화를 감지하여 t7에서 t8구간동안, 그리고 t11에서 t12구간동안에 각각 하이상태의 신호가 된다.

그리고 Y-어드레스가 t11이 시작되는 시점에서 천이될 때 Y-ATD신호는 t11에서부터 t12구간까지 하이상태가 된다.

t1이 경과하고 t2구간이 시작되면, S1, S2신호가 모두 하이(high)상태가 되는데 여기서, S1신호는 t3구간까지 하이상태를 유지하고, t4구간에서는 로우상태가 된다.

이때, S2신호는 t3에서부터 t4구간동안에 하이상태를 유지하게 된다.

여기서, S1, S2신호는 스플릿 워드라인인 SWL1과 SWL2신호의 기본파형을 형성하는데 사용된다.

그리고 C4신호(칼럼 제어부에서 프리디코딩된 Y-어드레스와 합성되는 C4N신호의 예비신호)는 t4가 시작되는 시점에서 이전의 상태인 로우상태에서 하이상태로 천이되어 CSBpad신호가 디스에이블되는 시점(t15가 시작되기 이전)에서 다시 로우상태로 천이된다.

상기 C4신호는 메인 셀의 비트라인 및 비트바라인의 풀-업을 조정하고, 비트라인과 센스앰프의 출력단간의 신호전달을 조절한다.

따라서, t4구간에서 t14구간동안 메인셀의 비트라인과 데이터라인간의 신호전달이 가능하게 한다.

P2신호(스플릿 워드라인에 인가되는 PS1신호와 PS2신호를 조정하는 예비신호)는 S1, S2신호가 하이상태로 되는 t2구간이 시작되는 시점에서 하이상태로 천이되어 t6가 시작되는 시점에서 다시 로우상태로 천이된다.

즉, S1, S2신호가 정상적인 신호를 발생하는 구간인 t2에서 t5구간 사이에 하이상태를 유지하는 신호로써 이 구간동안 다른 신호가 S1, S2신호의 정상적인 신호를 방해하지 못하도록 하는 신호이다.

C3신호(센스앰프의 입출력 노드를 이퀄라이징시키는 C3\_C신호의 예비신호)는 t1구간까지는 이전상태인 하이(high)상태를 유지하다가 t2가 시작되는 시점에서 로우상태로 천이된다. 그리고 CSBpad신호가 디스에이블되는 시점에서 다시 하이상태로 천이된다.

그리고 SAN신호(센스앰프 및 입/출력 제어부(85)의 센스앰프를 동작시키기 위해 앤모스로 구성된 트랜지스터를 제어하는 신호인 SAN\_C신호를 만들기 위해 예비신호)는 t2구간까지는 이전상태인 로우상태를 유지하다가 t3가 시작되는 시점에서 하이상태로 천이되고 CSBpad신호가 디스에이블되는 시점에서 로우상태로 천이된다.

SAP신호(센스앰프 및 입/출력 제어부(85)의 센스앰프를 동작시키기 위해 피모스 구성된 트랜지스터를 제어하는 신호인 SAP\_P신호의 예비신호)는 상기 SAN신호와 반대로 변화한다. 즉, t2구간까지는 이전상태인 하이상태를 유지하다가 t3가 시작되는 시점에서 로우상태로 천이되고 CSBpad신호가 디스에이블되는 시점에서 하이상태로 천이된다.

도 10은 도 8에 따른 X, Z-어드레스 변화시 글로벌 제어신호 발생부의 입출력 파형도이다.

도 10에 도시된 X, Z-어드레스 변화시 글로벌 제어신호 발생부의 입출력 파형도는 도 9의 Y-어드레스 변화시 입출력 파형도와 유사하다.

단지, 도 9에서와 같이, Y-어드레스 변화시에는 Y-어드레스가 변화하는 시점인 t7과 t14에서는 Y-ATD신호가 하이상태로 되는 반면에 X, Z-어드레스가 변화할 경우에는 도 10에 도시한 바와 같이, X, Z-ATD신호가 하이상태로 된다.

그리고, C4신호는 t3구간까지는 로우상태를 유지하다가 t4가 시작되는 시점에서 이전의 로우상태에서 하이상태의 신호가 된다.

그리고 X, Z-ATD신호가 하이상태로 되기 이전까지 하이상태를 유지하다가 t7이 시작되는 점에서 로우상태

로 된다.

이와 같이, X,Z-어드레스만 변화하면 X,Z-ATD신호가 글로벌 제어신호 발생부의 입력으로 CSBpad신호와 함께 합성되어 사용된다.

전술한 바와 같이, X,Z-ATD신호가 t7과 t14에서처럼 하이상태의 구간이 존재하면 그 구간동안 CSBpad신호가 하이상태로 된 것 같이 글로벌 제어신호 발생부(76)가 인식하게 된다.

따라서, 글로벌 제어신호 발생부(76)에서 모든 출력신호가 다시 발생하게 되어 해당 X,Z-어드레스가 정상적으로 액세스(Access)되도록 한다.

한편, 도 11은 본 발명의 비휘발성 강유전체 메모리장치에 따른 로컬 제어신호 발생부(LCPG: Local Control Pulse Generator)부의 상세구성도이다.

본 발명에 따른 로컬 제어신호 발생부는 글로벌 제어신호 발생부(76)의 출력신호와, Y-ATD신호와, Z-프리디코더부(74)의 출력신호를 입력하여 스플릿 워드라인 구동부부(82), 센스앰프 및 입/출력 제어부(85), 그리고 칼럼 제어부(84)로 제어신호를 출력한다.

즉, 도 11에 도시된 S1,S2,P2,C3,C4,SAN, SAP신호는 상기 글로벌 제어신호 발생부(76)의 출력신호이고, Y-ATD신호는 전술한 바와 같이, Y-어드레스가 천이했을 때 발생하는 어드레스 천이 검출신호이다.

그리고 WEBpad신호는 라이트 인에이블 패드의 신호로써, 라이트 모드시, 로우상태를 활성화상태로 정의한다.

도 11에 도시된 본 발명의 로컬 제어신호 발생부는 크게 센스앰프 및 입/출력 제어부(85)로 입력되는 신호를 만들어 내는 제 1 논리회로부(100)와, 칼럼 제어부(100)로 입력되는 신호를 만들어 내는 제 2 논리회로부(101)와, 스플릿 워드라인 구동부(82)로 입력되는 신호를 만들어 내는 제 3 논리회로부(102)로 구성된다.

제 1 논리회로부(100)는 BS\_T,BSB\_T, BS\_B, BSB\_B신호를 출력하는 제 1 논리연산부(100a)와, SAP\_C, SAN\_C신호를 출력하는 제 2 논리연산부(100b)와, C3\_C신호를 출력하는 제 3 논리연산부(100c)를 포함한다.

그리고 제 3 논리회로부(102)는 PS2신호를 출력하는 제 4 논리연산부(102a)와, PS1신호를 출력하는 제 5 논리연산부(102b)를 포함한다.

이와 같이 구성된 로컬 제어신호 발생부의 구성을 보다 상세히 설명하면 다음과 같다.

Z-Add1,Z-Add2, Z-Add3, 그리고 Z-Add4신호를 논리연산하는 제 1 논리연산부(100a)는 Z-Add1,Z-Add2신호를 논리연산하는 제 1 낸드게이트(NAND1), Z-Add3, Z-Add4신호를 논리연산하는 제 1 낸드게이트(NAND2), 상기 제 1, 제 2 낸드게이트(NAND1)(NAND2)의 출력신호를 논리연산하는 제 3 낸드게이트(NAND3), 상기 제 1 낸드게이트(NAND1)의 출력신호를 반전시키는 제 1 인버터(INV1), 상기 제 1 인버터(INV1)의 출력신호를 반전시키는 제 2 인버터(INV2), 상기 제 2 낸드게이트(NAND2)의 출력신호를 반전시키는 제 3 인버터(INV3), 상기 제 3 인버터(INV3)의 출력신호를 반전시키는 제 4 인버터(INV4)를 포함한다.

여기서, 상기 제 1 인버터(INV1)의 출력신호는 상기 센스앰프 및 입/출력 제어부(85)의 입력신호(BS\_T)가 되고, 상기 제 2 인버터(INV2)의 출력신호도 상기 센스앰프 및 입/출력 제어부(85)의 입력신호(BSB\_T)신호가 된다.

상기 센스앰프 및 입/출력 제어부(85)의 입력신호로 사용되는 BS\_T신호와 BSB\_T신호는 상기 센스앰프 및 입/출력 제어부(85)에서 센스앰프의 입출력단과 탑 메인 셀 블록의 비트라인 및 비트바라인을 선택적으로 연결시키는 트랜스미션 게이트를 제어하기 위한 제어신호이다.

그리고 상기 제 3 인버터(INV3)의 출력신호 및 제 4 인버터(INV4)의 출력신호도 각각 센스앰프 및 입/출력 제어부(85)의 또다른 입력신호로 사용되는데, 상기 제 3 인버터(INV3)의 출력신호는 BS\_B신호가 되고, 제 4 인버터(INV4)의 출력신호는 BSB\_B신호가 된다.

여기서, 상기 BS\_B신호와 BSB\_B신호는 보통 메인 셀 블록의 비트라인과 비트바라인을 센스앰프의 입출력단에 연결시키는 두 개의 트랜스미션 게이트를 제어하는 제어신호가 된다.

이어서, 상기 제 3 낸드게이트(NAND3)의 출력신호와 글로벌 제어신호 발생부(76)에서 출력되는 SAP, SAN신호를 논리연산하여 센스앰프 및 입/출력 제어부(85)의 입력신호를 만들어 내는 제 2 논리연산부(100b)는 상기 SAP신호와 상기 제 3 낸드게이트(NAND3)의 신호를 논리연산하는 제 4 낸드게이트(NAND4), 상기 제 4 낸드게이트(NAND4)의 출력신호를 반전시키는 제 5 인버터(INV5), 상기 SAN신호와 상기 제 3 낸드게이트(NAND3)의 출력신호를 반전시키는 제 5 낸드게이트(NAND5), 상기 제 5 낸드게이트(NAND5)의 출력신호를 반전시키는 제 6 인버터(INV6)를 포함한다.

여기서, 상기 제 5 인버터(INV5)의 출력신호는 SAP\_C신호가 되고, 제 6 인버터(INV6)의 출력신호는 SAN\_C신호가 된다.

이어서, 상기 제 3 낸드게이트(NAND3)의 출력신호와 글로벌 제어신호 발생부(76)에서 출력되는 C3신호를 논리연산하여 상기 센스앰프 및 입/출력 제어부(85)의 입력신호가 되는 C3\_C신호를 출력하는 제 3 논리연산부(100c)는 C3신호를 반전시키는 제 7 인버터(INV7), 상기 제 3 낸드게이트(NAND3)의 출력신호와 제 7 인버터(INV7)의 출력신호를 논리연산하는 제 6 낸드게이트(NAND6), 상기 제 6 낸드게이트(NAND6)의 출력신호를 반전시키는 제 8 인버터(INV8), 그리고 제 8 인버터(INV8)의 출력신호를 반전시키는 제 9 인버터(INV9)를 포함한다.

여기서, 상기 C3\_C신호는 상기 센스앰프 및 입/출력 제어부(85)에서 비트라인과 비트바라인을 풀-다운(Pull-Down)시키고 동시에 이퀄라이징시키는 풀-다운 및 이퀄라이저부(도면에 도시되지 않음)를



제어하는 제어신호가 되고, 복수개의 비트라인과 비트바라인에 공통으로 사용된다.

상기 글로벌 제어신호 발생부(76)에서 출력되는 C4신호, WEBpad신호, 그리고 상기 제 3 낸드게이트(NAND3)의 출력신호를 논리연산하여 칼럼 제어부(84)의 입력신호(C4N)를 만들어 내는 제 2 논리회로부(101)는 WEBpad신호를 반전시키는 제 10 인버터(INV10), 제 10 인버터(INV10)의 출력신호를 반전시키는 제 11 인버터(INV11), C4신호를 반전시키는 제 12 인버터(INV12), 상기 제 11 인버터(INV11)의 출력신호와 제 12 인버터(INV12)의 출력신호를 논리연산하는 제 7 낸드게이트(NAND7), 제 7 낸드게이트(NAND7)의 출력신호를 반전시키는 제 13 인버터(INV13), 상기 제 3 낸드게이트(NAND3)의 출력신호를 반전시키는 제 14 인버터(INV14), 상기 제 14 인버터(INV14)의 출력신호와 제 13 인버터(INV13)의 출력신호를 논리연산하는 제 1 노아게이트(NOR1), 제 1 노아게이트(NOR1)의 출력신호를 반전시키는 제 15 인버터(INV15), 그리고 제 15 인버터(INV15)의 출력신호를 반전시키는 제 16 인버터(INV16)을 포함한다.

여기서, 제 2 논리회로부(101)에서 출력되는 C4N신호는 Y-프리디코더부(78)에서 출력되는 복수개의 프리디코딩된 Y-어드레스와 합성되는 신호이다.

상기 제 3 논리회로부(102)는 제 4 논리연산부(102a)와 제 5 논리연산부(102b)로 구성된다.

스플릿 워드라인 구동부(82)로 입력되는 PS2신호를 만들어 내는 제 4 논리연산부(102a)는 글로벌 제어신호 발생부(76)에서 출력되는 P2신호를 반전시키는 제 17 인버터(INV17), Y-ATD신호와 C4신호 및 제 10 인버터(INV10)의 출력신호를 논리연산하는 제 8 낸드게이트(NAND8), 제 8 낸드게이트(NAND8)의 출력신호를 반전시키는 제 18 인버터(INV18), 제 18 인버터(INV18)의 출력신호를 일정시간동안 딜레이시키는 딜레이부(D), 상기 제 14 인버터(INV14)의 출력신호와 S2신호 및 딜레이부(D)의 출력신호를 논리연산하는 제 2 노아게이트(NOR2), 제 2 노아게이트(NOR2)의 출력신호와 제 14 인버터(INV14)의 출력신호를 논리연산하는 제 3 노아게이트(NOR3), 그리고 제 3 노아게이트(NOR3)의 출력신호를 반전시키는 제 19 인버터(INV19)를 포함한다.

여기서, 상기 딜레이부(D)는 짝수개의 인버터로 구성된다.

이어서, 스플릿 워드라인 구동부(82)로 입력되는 PS1신호를 만들어 내는 제 5 논리연산부(102b)는 글로벌 제어신호 발생부(76)에서 출력되는 S1신호와 상기 제 18 인버터(INV18)의 출력신호를 논리연산하는 제 4 노아게이트(NOR4), 상기 제 14 인버터(INV14)의 출력신호와 제 4 노아게이트(NOR4)의 출력신호를 논리연산하는 제 5 노아게이트(NOR5), 그리고 상기 제 5 노아게이트(NOR5)의 출력신호를 반전시키는 제 20 인버터(INV20)를 포함한다.

이와 같은 로컬 제어신호 발생부(80)에 있어서, 입력신호 즉, S1, S2, P2, C4, C3, SAN, SAP신호는 상기 글로벌 제어신호 발생부(76)에서 출력된다.

상기 Z-Add1, Z-Add2, Z-Add3, Z-Add4신호는 Z-프리디코더부(74)의 출력신호이다.

그리고 상기 센스앰프 및 입/출력 제어부(85)의 입력신호로 사용되는 BS\_T와 BSB\_T신호는 탑 메인 셀 블록(Top Main Cell Block)의 비트라인 및 비트바라인들을 액세스하기 위한 신호이다.

또한, BS\_B와 BSB\_B신호는 보텀 메인 셀 블록(Bottom Main Cell Block)의 비트라인 및 비트바라인들을 액세스하기 위한 신호이다.

이와 같이 구성된 로컬 제어신호 발생부의 동작설명을 읽기모드와 쓰기모드를 예로 하여 설명하기로 한다.

먼저, 쓰기(write)모드에서 WEBpad신호가 로우상태이므로 제 10 인버터(INV10)와 제 11 인버터(INV11)를 거친 출력신호가 로우이므로 제 7 낸드게이트(NAND7)가 비활성화 상태가 되어 하이상태의 신호를 출력한다.

상기 하이상태의 출력신호는 제 1 노아게이트(NOR1)을 활성화시킴으로써 C3신호가 제 15 인버터(INV15)와 제 16 인버터(INV16)를 순차적으로 통과하여 C4N이 된다.

C3신호는 스플릿 워드라인 SWL1과 SWL2가 활성화되기 이전에 비트라인과 비트바라인을 프리차지(precharge)하는 동안 칼럼 제어부(84)로 입력되는 C4N신호가 로우상태가 되도록 한다.

즉, C4N이 로우상태가 되는 동안 칼럼 선택신호가 모두 비활성화되어 출력 데이터버스와 비트라인간의 신호흐름이 차단된다.

따라서, 쓰기모드에서의 비트라인 프리차지시의 비트라인에 실린 데이터와 출력 데이터버스에 실린 데이터가 충돌하는 것을 피할 수가 있다.

또한, 쓰기모드에서는 제 10 인버터(INV10)의 출력신호가 하이상태가 되므로 제 8 낸드게이트(NAND8)를 활성화시킨다.

따라서, 제 8 낸드게이트(NAND8)은 Y-ATD신호, P2, C4신호의 지배를 받는다.

즉, P2가 하이상태로써, S1, S2신호가 활성화 상태로 정상동작을 하고 있는 동안에는 제 8 낸드게이트(NAND8)을 비활성화시켜 S1, S2의 정상동작을 보장한다.

S1과 S2신호의 정상동작이 완료되면, P2신호는 로우상태가 되므로 이때 제 17 인버터(INV17)의 출력이 하이상태가 되어 결과적으로 제 8 낸드게이트(NAND8)이 활성화되므로 Y-ATD, 혹은 C4의 상태에 따라서 제 8 낸드게이트(NAND8)의 동작이 결정된다.

제 10 인버터(INV10)의 출력이 하이상태에서 C4신호까지도 하이상태가 되면, 결과적으로 제 8 낸드게이트(NAND8)가 활성화되어 Y-ATD신호가 스플릿 워드라인 구동부(82)로 전달된다.

다시말해서, Y-어드레스가 천이되는 구간에서 S1신호와 S2신호가 제 2 노아게이트(NOR2)와 제 4 노아게

이트(NOR4)를 활성화시킴으로 Y-ATD신호는 제 8 낸드게이트(NAND8)과 제 18 인버터(INV18)를 거쳐 제 4 노아게이트(NOR4)에 전달되고, 동시에 딜레이부(D)에 의해 딜레이된 신호는 제 2 노아게이트(NOR2)에 전달된다.

상기 제 4 노아게이트(NOR4)와 제 5 노아게이트(NOR5), 그리고 제 20 인버터(INV20)를 통과한 Y-ATD신호는 반전된 로우상태의 PS1신호가 된다.

상기 제 2 노아게이트(NOR2), 제 3 노아게이트(NOR3), 그리고 제 19 인버터(INV19)를 통과한 딜레이된 Y-ATD신호는 반전된 로우상태의 PS2신호가 된다.

따라서, PS1신호와 PS2신호는 Y-ATD신호와 각각 반전된 위상을 갖는다.

이때, 딜레이부(D)를 구성하고 있는 인버터의 사이즈를 조절함으로써 PS1신호와 PS2신호의 로우신호가 겹치는 시간을 조절할 수가 있다.

이어, 읽기모드에서는 제 7 낸드게이트(NAND7)가 활성화상태가 되어 C4의 신호가 제 12 인버터(INV12), 제 7 낸드게이트(NAND7), 제 13 인버터(INV13), 제 1 노아게이트(NOR1), 제 15 인버터(INV15), 그리고 제 16 인버터(INV16)를 순차적으로 통과하여 동일한 파형의 C4N이 된다.

따라서, C4N신호는 센스앰프에 의해 증폭된 신호를 데이터버스에 전달하는 역할을 한다.

그리고 이와 같은 읽기모드에서는 제 10 인버터(INV10)의 출력신호가 로우상태로써 제 8 낸드게이트(NAND8)를 비활성화시킴으로 Y-ATD신호, P2, C4신호의 전달이 차단되며 제 18 인버터(INV18)의 출력신호가 로우상태가 되어 제 4 노아게이트(NOR4)를 항상 활성화시킨다.

이에, 스플릿 워드라인 구동부부(82)의 입력신호로 사용되는 PS1신호와 PS2신호는 S1과 S2신호에 대해 각각 반대파형이 된다.

도 12는 도 7에 도시된 칼럼 제어부의 상세구성도이다.

도 7에서 칼럼 제어부는 Y-프리 디코더부(78)와 로컬 제어신호 발생부(80)로부터 신호를 받아 동작한다.

즉, 도 12에 도시한 바와 같이, Y-프리 디코더부(78)에서 출력되는 복수개의 프리디코딩된 어드레스(Ypre\_n, Ypre\_n+1, Ypre\_n+2, Ypre\_n+3, ...)중 각각의 어드레스와 로컬 제어신호 발생부(80)에서 출력되는 C4N신호를 논리연산하는 복수개의 논리연산부(120a, 120b, 120c, 120d)들과, 각 논리연산부(120a, 120b, 120c, 120d)의 출력단에 연결된 인버터(121a, 121b, 121c, 121d)들을 포함하여 구성된다.

여기서, 각 논리연산부(120a, 120b, 120c, 120d)의 출력이 해당 인버터(121a, 121b, 121c, 121d)를 통과하게 되면 Y-어드레스(Y\_n, Y\_n+1, Y\_n+2, Y\_n+3, ...)가 되고, 인버터(121a, 121b, 121c, 121d)를 통과하지 않은 신호는 Y-어드레스바(YB\_n, YB\_n+1, YB\_n+2, YB\_n+3, ...)가 된다.

이와 같은 칼럼 제어부(84)는 Y-프리 디코더부(78)에서 출력되는 복수개의 프리디코딩된 어드레스를 로컬 제어신호 발생부(80)에서 출력되는 C4N신호와 함께 합성하여 복수개의 Y-어드레스 및 Y-어드레스바를 만들고, 그중에서 임의의 Y-어드레스 및 Y-어드레스바를 센스앰프 및 입/출력 제어부(85)로 출력한다.

도 13은 본 발명에 따른 센스앰프 및 입/출력 제어부의 상세구성도이다.

도 13에 도시한 바와 같이, 탑 메인 셀 블록에 연결되는 비트라인(Bit Line) 및 비트바라인(/Bit Line)에 각각 해당되는 BIT\_T 및 BITB\_T와, 보텀 메인 셀 블록에 연결되는 비트라인 및 비트바라인에 각각 해당되는 BIT\_B 및 BITB\_B와, 여기서, 도면에는 도시되지 않았지만 비트라인 및 비트바라인은 칼럼방향으로 복수개가 형성되어 있다.

상기 비트라인 및 비트바라인에 실린 데이터를 센싱, 증폭하여 데이터라인 및 데이터바라인으로 전달하는 센싱앰프(85a)와, 비트라인과 비트바라인의 전위를 풀-다운(Pull-Down)시키고, 이퀄라이징시키는 풀-다운 및 이퀄라이저부(85b)와, 탑 메인 셀의 비트라인 및 비트바라인과 센싱앰프의 입출력단을 선택적으로 연결시키는 제 1, 제 2 트랜스미션 게이트(131a, 131b)와, 보텀 메인 셀의 비트라인 및 비트바라인과 상기 센싱앰프의 입출력단을 선택적으로 연결시키는 제 3, 제 4 트랜스미션 게이트(131c, 131d)와, 상기 센싱앰프의 입출력단과 데이터라인 및 데이터바라인을 선택적으로 연결시키는 제 5, 제 6 트랜스미션 게이트(131e, 131f)로 구성된다.

여기서, 상기 센싱앰프(85a)는 활성화와 비활성화를 제어하기 위한 피모스 트랜지스터(PM10) 및 앤모스 트랜지스터(NM10)를 더 포함한다.

그리고 상기 피모스 트랜지스터(PM10) 및 앤모스 트랜지스터(NM10)를 제어하는 게이트 제어신호인 SAP\_C 신호와 SAN\_C신호는 로컬 제어신호 발생부(80)에서 출력되며 복수개의 비트라인 및 비트바라인에 공통으로 사용된다.

이와 같이 구성된 센싱앰프 및 입/출력 제어부(85)에서, 상기 센싱앰프(85a)가 탑 메인 셀의 데이터를 센싱할 경우에는 제 1, 제 2 트랜스미션 게이트(131a, 131b)가 온(ON)되고, 제 3, 제 4 트랜스미션 게이트(131c, 131d)는 오프된다.

반대로, 보텀 메인 셀의 데이터를 센싱하여야 할 경우에는 제 1, 제 2 트랜스미션 게이트(131a, 131b)는 오프되고, 제 3, 제 4 트랜스미션 게이트(131c, 131d)는 온(ON)된다.

각 트랜스미션 게이트(131a, 131b, 131c, 131d)들은 피모스 트랜지스터(PM)와 앤모스 트랜지스터(NM)가 병렬적으로 구성되는데, 상기 제 1, 제 2 트랜스미션 게이트(131a, 131b)의 온/오프를 제어하는 제어신호인 BS\_T신호와 BSB\_T신호는 상기 로컬 제어신호 발생부(80)에서 출력된다.

그리고 제 3, 제 4 트랜스미션 게이트(131c, 131d)의 온/오프를 제어하는 제어신호인 BS\_B신호와 BSB\_B신

호 또한 상기 로컬 제어신호 발생부(80)에서 출력된다.

상기 제 5, 제 6 트랜스미션 게이트(131e, 131f)의 온/오프를 제어하는 제어신호인 Y<sub>n</sub>신호와 YB<sub>n</sub>신호는 상기 칼럼 제어부(84)에서 선택적으로 출력되는 Y-어드레스 및 Y-어드레스바가 사용된다.

한편, 도 14는 본 발명에 따른 센스앰프 및 입/출력 제어부의 다른 실시예를 도시한 것으로써, 트랜스미션 게이트(131a, 131b, 131c, 131d, 131e, 131f) 대신에 앤모스 트랜지스터(140a, 140b, 140c, 140d, 140e, 140f)를 구성한 것이다.

여기서, 도 13과 같이 트랜스미션 게이트를 사용한 센스앰프 및 입/출력 제어부(85)는 도 14와 같이 앤모스 트랜지스터를 사용한 센스앰프 및 입/출력 제어부(85)에 비해 저전압(low voltage) 동작에서 유리하다.

이와 같이 구성된 센스앰프 및 입/출력 제어부(85)는 로컬 제어신호 발생부(80)와 칼럼 제어부(84)에서 출력되는 신호를 받아 리드모드시에는 메모리 셀의 데이터를 센싱하여 데이터버스라인 및 데이터바버스라인으로 전달하고, 라이트모드시에는 데이터버스라인 및 데이터바버스라인을 통해 들어오는 데이터를 메모리 셀에 저장하는 역할을 한다.

이어, 도 15는 본 발명에 따른 로컬 제어신호 발생부의 동작설명을 위한 입출력 파형도로써, CSBpad신호가 로우상태로 활성화되어 있는 상태에서 Y-어드레스 천이시 라이트모드의 동작타이밍도이다.

여기서, 칩 인에이블신호인 CSBpad신호가 로우상태로 인에이블된 후 다시 하이상태로 디스에이블되는 구간을 t1에서부터 t15까지 분할하여 각 구간별로 설명하기로 한다.

먼저, t1구간에서는 CSBpad신호를 로우상태로 인에이블시키고, WEBpad신호를 로우상태로 인에이블시킨다.

이때, X, Y, Z-어드레스는 이전의 상태를 유지하고, 로컬 제어신호 발생부(80)에서 출력되는 PS1, PS2신호와 C4N, C3\_C, SAP\_C, SAN\_C신호 또한 t1이전의 상태를 유지하고 있다.

이후, PS1신호는 t1구간에서는 하이상태를, t2가 시작되는 시점에서 t3구간까지 로우상태를 유지한다.

그리고 t4구간에서는 하이상태를, t5구간에서는 로우상태를, 그리고 t6구간에서는 다시 하이상태를 유지한다.

이어, t7에서 t8구간까지는 다시 로우상태를, t9에서부터 t10구간까지는 하이상태를 유지하고, 다시 t11에서부터 t13구간까지는 로우상태를 유지하고 t13이 시작되는 시점에서는 계속해서 하이상태를 유지한다.

그리고 PS2신호는 t1구간까지는 하이상태를 t2가 시작되는 시점에서 t4까지 로우상태를 유지하다가 t5에서부터 t7구간까지는 하이상태를 유지한다.

이어, t8에서 t9구간까지는 로우상태를, t10에서부터 t11구간까지는 하이상태를, 그리고 t12에서부터 t13구간까지는 로우상태를 유지하다가 t14가 시작되는 시점에서는 계속해서 하이상태를 유지한다.

또한, 스플릿 워드라인 구동부부(82)에서 출력되는 SWL1, SWL2신호도 t1구간까지는 이전의 상태인 로우상태를 유지하고, t2시점에서부터 하이상태로 천이된다.

여기서, SWL1신호는 PS1신호와 위상이 반대이며 천이타이밍은 동일하다. 그리고 SWL2신호는 PS2신호와 위상이 반대이며 천이타이밍이 동일하다.

상기 로컬 제어신호 발생부(80)에서 출력되는 C4N신호는 t2가 시작되는 시점에서 하이상태로 천이되었다가 CSBpad신호가 디스에이블되는 시점에서 다시 로우상태로 천이된다.

그리고 P2신호는 t2가 되는 시작되는 시점에서 이전의 상태인 로우상태에서 하이상태로 천이되어 t5구간까지 계속 유지하다가 t6가 시작되는 시점에서 다시 로우상태로 천이된다.

C3\_C신호는 t1구간까지는 이전의 하이상태를 유지하고 t2가 시작되는 시점에서 로우상태로 천이되어 CSBpad신호가 디스에이블될 때까지 유지하다가 다시 하이상태로 천이된다.

그리고 SAN\_C신호는 t2구간까지 로우상태를 유지하다가 t3가 시작되는 시점에서 하이상태로 천이되어 CSBpad신호가 디스에이블될 때까지 유지한다.

SAP\_C신호는 SAN\_C신호와 반대위상을 가지며 천이타이밍은 동일하다.

이와 같은 동작타이밍도 및 도 9의 글로벌 제어신호 발생부의 입출력 타이밍도에서 나타난 바와 같이, CSBpad신호를 로우상태로 활성화시킨 상태에서 Y-어드레스만 변화시키면, 글로벌 제어신호 발생부(76)의 입력에는 변화가 없다.

따라서, 글로벌 제어신호 발생부(76)의 출력신호 또한 변화가 없다.

Y-어드레스 변화에 의해 Y-ATD신호가 발생되면 라이트모드의 경우, 로컬 제어신호 발생부(80)에서 출력되는 PS1와 PS2가 발생되도록 하여 스플릿 워드라인 구동부(82)에서 SWL1신호와 SWL2신호를 만들게 된다.

도 15의 타이밍도에서 도시된 바와 같이, 첫 번째로 Y-어드레스가 t7구간의 시작되는 시점에서 변화할 때, 즉, t7과 t9구간에서는 로직 1(high)이 메모리 셀에 라이트되고, t8구간에서는 로직 0(low)이 라이트된다.

그리고 두 번째로 Y-어드레스가 t11구간의 시작점에서 변화할 때, 즉, t11과 t13구간에서는 하이(high) 데이터가 메모리 셀에 라이트되고, t12구간에서는 로우(low)데이터가 라이트된다.

이어 리드모드(read mode)시의 본 발명의 로컬 제어신호 발생부의 동작타이밍도를 설명하기로 한다.

라이트모드시와 동일하게 t1에서부터 t15구간까지 설정하여 각 구간별로 설명하기로 한다.

도 16은 본 발명에 따른 Y-어드레스만 변화할 때 로컬 제어신호 발생부의 동작타이밍도으로써, 리드모드시의 동작타이밍도이다.

도 16에 도시한 바와 같이, 라이트모드에서와는 달리 WEDpad신호는 CSBpad신호의 상태가 활성화되는 동안 하이상태를 유지하고 있다.

이는, 현재 리드모드(read mode)이므로 WEDpad신호는 하이상태이어야 하기 때문이다.

한편, 라이트모드시와 마찬가지로 Y-어드레스가 변화될 때만 Y-ATD신호가 하이신호가 된다.

즉, Y-어드레스가 t7이 시작되는 시점에서 천이될 경우, Y-ATD신호는 t7에서부터 t8까지 하이상태를 유지하게 되고, 다시 Y-어드레스가 t11이 시작되는 시점에서 천이될 때 Y-ATD신호는 t11에서부터 t13구간까지 하이상태를 유지한다. 이외의 구간에서는 모두 로우상태를 유지하게 된다.

PS1신호는 t2에서부터 t3구간까지, 그리고 t5구간동안에만 로우상태를 유지하고 그 이외에는 하이상태를 유지한다.

PS2신호는 t2에서부터 t4구간까지만 로우상태를 유지하고 그 이외에는 하이상태를 유지한다.

SWL1신호는 상기 PS1신호와 천이타이밍이 동일하며 단지 위상이 반대이다.

그리고 SWL2신호 또한 상기 PS2신호와 천이타이밍이 동일하지만 위상이 반대이다.

C4N신호는 t4에서부터 CSBpad신호가 디스에이블되는 시점인 t15가 시작되기전까지 하이상태를 유지하고 그 이외에는 로우상태를 유지한다.

P2신호, C3\_C신호, SAN\_C신호 및 SAP\_C신호는 천이타이밍과 위상이 라이트모드시와 동일하므로 이하 생략한다.

이와 같은 타이밍도에 나타난 바와 같이, CSBpad신호를 로우상태로 활성화시킨 상태에서 Y-어드레스만을 변화시키면 글로벌 제어신호 발생부의 입력에는 변화가 없으므로 그 출력 또한 변화가 없다.

Y-어드레스의 변화에 의해 Y-ATD신호가 하이상태가 되어도 리드모드에서 로컬 제어신호 발생부(80)의 PS1신호와 PS2신호는 변하지 않도록하여 SWL1신호와 SWL2신호가 비활성화 상태를 계속 유지하도록 한다.

따라서 변경된 Y-어드레스에 해당하는 칼럼 디코더부(84)를 활성화시켜 센스앰프에 래치되어 있는 데이터를 데이터버스에 전달하게 된다.

첫 번째로 Y-어드레스가 변환되는 시점인 t7구간에서는 센스앰프의 데이터가 데이터버스에 전달되어 리드동작이 수행된다.

그리고 두 번째로 Y-어드레스가 변환되는 시점인 t11구간에서도 센스앰프의 데이터가 데이터버스에 전달되어 리드동작이 수행된다.

지금까지는 Y-어드레스만 변환시 라이트모드 및 리드모드시의 비휘발성 강유전체 메모리장치의 타이밍도를 설명하였고, 이제부터는 X, Z-어드레스만 변환시 라이트모드 및 리드모드에 따른 동작타이밍도를 설명하기로 한다.

먼저, X, Z-어드레스만 변화할 때 라이트모드에서의 로컬 제어신호 발생부의 동작타이밍도를 첨부도면 도 17에 나타내었다.

도 17에 도시된 바와 같이, 본 발명의 로컬 제어신호 발생부의 동작을 t1에서부터 t21까지 설정하여 각 구간별로 설명하기로 한다.

먼저, t1이 시작되는 시점에서 CSBpad신호가 이전의 상태인 하이상태에서 로우로 천이됨으로써 활성화상태가 되어 t21이 시작되는 시점에서 다시 비활성화상태로 천이된다.

이와 동시에 라이트 인에이블신호인 WEBpad신호도 로우상태로 천이되어 활성화상태를 유지하다가 CSBpad신호가 비활성화됨과 동시에 비활성화되도록 한다.

여기서, CSBpad신호와 WEBpad신호는 모두 외부에서 인가된다.

도면에서도 도시된 바와 같이, t1구간에서는 CSBpad신호와 WEDpad신호만이 인에이블되고, 나머지 신호는 이전의 상태를 그대로 유지한다.

t2구간에서는 CSBpad신호와 WEDpad신호는 그대로 인에이블상태를 유지하고, PS1신호와 PS2신호, 그리고 C3\_C신호는 이전의 상태인 하이상태에서 로우상태로 천이된다.

그리고 SWL1, SWL2, C4N, 그리고 P2신호는 이전상태인 로우상태에서 하이상태로 천이된다.

상기 C4N신호가 로우상태에서 하이상태로 천이되어 활성화상태가 됨으로 인하여 외부에서 전달된 데이터가 비트라인(BL)과 비트바라인(BBL)에 실리게 된다.

이어, t3구간에서는 상기 모든신호(CSBpad, WEDpad, PS1, PS2, SWL1, SWL2, C3\_C, C4N, P2)는 t2상태의 신호를 그대로 유지하고, SAN\_C신호는 이전상태인 로우상태에서 하이상태로 천이하고 SAP\_C신호는 하이상태에서 로우상태로 천이한다.

이때, 상기 SAN\_C신호와 SAP\_C신호가 각각 하이와 로우상태로 천이된다.

t4구간에서는 PS1신호와 SWL1신호만이 이전상태에서 변화되는데 PS1신호는 이전의 로우상태에서 하이상

태로 천이되고, SWL1신호는 하이상태에서 로우상태로 천이된다.

이어, t5구간에서는 PS1, PS2, SWL1, SWL2신호만이 천이되고, 나머지 신호는 t4구간의 신호를 그대로 유지한다.

즉, PS1신호는 이전의 하이상태에서 로우상태로 천이되고, 이에 따라 SWL1신호는 로우상태에서 하이상태로 천이된다.

그리고 PS2신호는 이전의 로우상태에서 하이상태로 천이되고, 이에 따라 SWL2신호는 하이상태에서 로우상태로 천이된다.

이어, t6구간이 시작되면, 상기 PS1, SWL1, 그리고 P2신호를 제외한 나머지 신호는 이전의 상태를 그대로 유지하는데, PS1신호는 t5구간의 신호 즉, 로우상태에서 하이상태로 천이되고, 이에 따라 SWL1신호는 하이상태에서 로우상태로 천이된다.

그리고 P2신호는 이전의 상태 즉, 하이상태에서 로우상태로 천이된다.

t7구간에서는 X,Z-어드레스가 변화하는 시점이다. 따라서, X,Z- ATD신호가 이전의 로우신호에서 하이신호로 발생된다.

그리고 C4N신호와 SAN\_C신호는 이전의 하이상태에서 로우상태로 천이되고, C3\_C신호와 SAP\_C신호는 이전의 로우상태에서 하이상태로 천이된다.

t8가 시작되면 상기 X,Z-ATD신호만이 이전의 하이상태에서 로우상태로 천이되고, X,Z-ATD신호를 제외한 모든 신호는 이전의 t7구간의 상태를 그대로 유지한다.

이어, t9가 시작되는 시점에서는 상기 X,Z-ATD신호와 SAN\_C 및 SAP\_C신호만이 이전의 상태를 그대로 유지하고, 나머지 신호는 모두 변하게 된다.

즉, PS1, PS2신호는 이전의 상태인 하이상태에서 로우상태로 천이되고, SWL1, SWL2신호는 이전의 로우상태에서 하이상태로 천이된다.

그리고 C4N신호와 P2신호는 이전의 상태인 로우상태에서 하이상태로 천이되고, C3\_C신호는 이전의 하이상태에서 로우상태로 천이된다.

상기 C4N신호가 로우상태에서 하이상태로 천이되어 활성화상태가 됨으로 인하여 외부에서 전달된 데이터가 비트라인(BL)과 비트바라인(BBL)에 실리게 된다.

이어, t10이 시작되는 시점에서는 상기 SAN\_C신호가 로우에서 하이상태로, SAP\_C신호가 하이에서 로우상태로 천이되어 활성화되고, 이외의 신호는 모두 t9구간의 상태를 그대로 유지한다.

t11이 시작되면, PS1신호가 이전의 로우상태에서 하이상태로 천이되고 이에따라 SWL1신호가 하이상태에서 로우상태로 천이된다.

이외의 신호는 t10구간의 상태를 그대로 유지한다.

t12가 시작되면 PS1신호가 이전의 하이상태에서 로우상태로 천이되고 동시에 PS2가 이전의 로우상태에서 하이상태로 천이된다.

따라서, SWL1신호가 로우상태에서 하이상태로 천이되고 이와 동시에 SWL2신호가 하이상태에서 로우상태로 천이되며 이외의 신호는 t11구간의 상태를 그대로 유지한다.

t13이 시작되면, PS1, SWL1, 그리고 P2신호만이 변화하고, 이외의 신호는 t12구간의 상태를 그대로 유지한다. 즉, PS1신호가 이전의 로우상태에서 하이상태로 천이되며 이와 동시에 SWL1신호가 하이상태에서 로우상태로 천이된다.

그리고 P2신호는 이전의 하이상태에서 로우상태로 천이된다.

이어, t14가 시작되는 시점에서는 X,Z-어드레스가 두 번째로 변화한다.

따라서, X,Z-ATD신호가 이전의 로우상태에서 하이상태로 천이되고 C4N신호와 SAN\_C신호는 이전의 하이상태에서 로우상태로 천이되며 C3\_C신호와 SAP\_C신호는 이전의 로우상태에서 하이상태로 천이된다.

t15가 시작되는 시점에서는 X,Z-ATD신호만이 이전의 하이상태에서 로우상태로 천이되며 나머지 신호는 이전의 t14구간의 신호를 그대로 유지한다.

이어, t16이 시작되면, PS1, PS2신호가 이전의 하이상태에서 로우상태로 천이되고 이에 따라 SWL1신호와 SWL2신호가 이전의 로우상태에서 하이상태로 천이된다.

이어, t17구간에서부터 t20구간까지는 전술한 t10에서부터 t13구간까지의 위상 및 천이타이밍이 동일하므로 이하 생략한다.

마지막으로 t21이 시작되는 시점에서는 t1에서부터 계속해서 로우상태를 유지해오고 있던 CSBpad신호와 WEBpad신호가 하이상태로 천이되어 라이트 모드가 비활성화상태로 된다.

그리고 C4N신호가 이전의 하이상태에서 로우상태로 천이되고, SAN\_C신호는 하이상태에서 로우상태로 그리고 SAP\_C신호는 로우상태에서 하이상태로 천이된다.

이와 같이, 라이트모드에서 X,Z-어드레스 변화시 본 발명에 따른 로컬 제어신호 발생부는 C4N신호와 SWL1 및 SWL2신호의 활성화 시점과 동일하게 활성화되어 센스앰프가 활성화되기 이전에 미리 데이터를 비트라인에 전달하도록 한다.

이어서, 리드(READ)모드에서의 X,Z-어드레스 변화시 본 발명에 따른 로컬 제어신호 발생부의 동작타이밍

을 설명하기로 한다.

도 18은 리드모드에서의 X,Z-어드레스만 변화할 때 본 발명에 따른 로컬 제어신호 발생부의 동작타이밍도이다.

도 18에 도시된 리드모드시의 타이밍도는 도 17과 비교할 때, C4N신호의 천이타이밍이 달라지는 것을 알 수 있다.

그리고 도 17을 라이트모드이므로 WEBpad신호가 로우로 활성화되는데 도 18의 타이밍도는 리드모드에 관한 것이므로 WEBpad신호가 하이상태로 활성화되어 있음을 알 수 있다.

도 18에서, C4N신호를 제외한 모든 신호는 라이트모드에서 X,Z-어드레스 변환시 동작타이밍과 동일하다. 따라서, C4N신호에 대해서만 각 타이밍구간별로 설명하기로 한다.

도 18에 도시한 바와 같이, C4N신호는 t1에서부터 t3구간까지는 로우상태를 유지한다.

이후, t4가 시작되면 로우상태에서 하이상태로 활성화되므로 이때에 센스앰프에서 증폭된 데이터가 데이터라인과 데이터바라인에 실리게 된다.

t4가 시작되는 시점에서 하이상태로 천이된 C4N신호는 t6구간까지 계속해서 하이상태를 유지하다가 t7이 시작되는 시점에서 로우상태로 천이된다.

로우상태로 천이된 후, 계속해서 t10구간까지 로우상태를 유지하다가 t11이 시작되는 시점에서 하이상태로 천이된다.

C4N신호가 로우상태에서 하이상태로 천이됨과 동시에 센스앰프에 의해 증폭된 데이터가 데이터라인과 데이터바라인에 실리게 된다.

이와 같이, 리드모드시에서는 센스앰프가 미리 데이터를 센싱한 후, C4N신호를 활성화시켜 센싱된 데이터를 데이터라인과 데이터바라인으로 인가하여 리드동작을 하게 된다.

#### 발명의 효과

이상 상술한 바와 같이, 본 발명의 비휘발성 강유전체 메모리소자에 따르면 다음과 같은 효과가 있다.

통상, 강유전체 메모리를 활성화시키는 방법으로 CSBpad신호만을 이용한다.

즉, CSBpad신호가 하이인 구간에서는 메모리의 프리차지 구간으로 이용하고, 로우인 구간에서는 메모리의 액세스구간으로 이용한다.

그러나 본 발명은 상기의 CSBpad신호와 더불어 X,Y,Z-어드레스만 변해도 정상동작을 할 수 있도록 하였다.

즉, 어드레스의 변화를 크게 X,Z-어드레스만 변화하는 경우와, Y-어드레스만 변화하는 경우로 분류하여 동작시킨다.

이를 위해 첫째, CSBpad신호에 의해 활성화되어 아직 정상동작이 끝나지 않았을 시는 X,Y,Z-어드레스가 들어와도 정상동작을 방해하지 못하도록 한다.

둘째, X,Z-어드레스만 변화하는 경우, 센스앰프에 래치된 유효 데이터가 없으므로 CSBpad신호를 활성화시킨 것과 같은 동작은 X,Z-ATD신호를 이용하여 구현한다.

셋째, Y-어드레스만 변화하는 경우, 로우(Row)어드레스에 해당하는 워드라인(SWL1, SWL2)이 변하지 않으므로 처음 정상동작되어 센스앰프에 래치된 데이터를 읽어낸다.

라이트모드에서는 Y-ATD신호를 이용하여 정상적으로 라이트동작이 이루어지도록 한다.

따라서, 패스트 칼럼 액세스 모드(Fast Column Access Mode)로 동작시킴으로써, 칩 액세스속도와 성능을 향상시킨다.

#### (57) 청구의 범위

##### 청구항 1

수평방향 및 수직방향으로 형성된 복수개의 셀 어레이부들;

상기 수평방향의 셀 어레이부 사이사이에 형성되어 수평방향으로 인접한 셀 어레이부를 공유하는 스플릿 워드라인 구동부들;

상기 수직방향의 셀 어레이부의 사이사이에 형성되어 수직방향으로 인접한 셀 어레이부를 공유하는 코어부들;

외부에서 입력되는 Y-어드레스의 변화에 따라 상기 각 코어부들 및 스플릿 워드라인 구동부를 제어하기 위한 제어신호를 출력하는 로컬 제어신호 발생부를 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

##### 청구항 2

제 1 항에 있어서, 상기 셀 어레이부는 수평방향으로 형성된 복수개의 비트라인들과, 상기 각 비트라인의 일측에 형성된 비트바라인들.

상기 비트라인에 교차하는 방향으로 형성된 제 1 스플릿 워드라인들과, 상기 각각의 제 1 스플릿 워드라인의 일측에 형성된 제 2 스플릿 워드라인들,

상기 각 비트라인과 교차하는 상기 제 1 스플릿 워드라인과 상기 제 2 스플릿 워드라인들 사이에 형성된 메모리 셀들을 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 3

복수개의 비트라인들과 상기 각 비트라인 일측에 형성되는 비트바라인들, 상기 비트라인에 교차하는 방향으로 형성된 복수개의 제 1 스플릿 워드라인들과 상기 각각의 제 1 스플릿 워드라인 일측에 형성된 제 2 스플릿 워드라인들, 상기 각 비트라인과 교차하는 상기 제 1 스플릿 워드라인과 제 2 스플릿 워드라인 사이에 형성된 메모리셀로 이루어져 수평방향 및 수직방향으로 형성된 복수개의 셀 어레이부들;

상기 수평방향의 셀 어레이부 사이사이에 형성되어 수평방향으로 인접한 셀 어레이부를 공유하는 스플릿 워드라인 구동부들;

상기 수직방향의 셀 어레이부 사이사이에 형성되어 수직방향으로 인접한 셀 어레이부를 공유하는 코어부들;

외부에서 인가되는 Y-어드레스의 변화에 따라 상기 각 코어부들 및 상기 스플릿 워드라인 구동부를 제어하기 위한 제어신호를 출력하는 로컬 제어신호 발생부를 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 4

제 3 항에 있어서, 상기 코어부는 상기 각 비트라인 및 비트바라인에 입출력단이 연결되는 센스앰프들과,

상기 각 센스앰프들의 입출력을 제어하기 위한 제어신호를 출력하는 입/출력 제어부와,

상기 센스앰프 및 입/출력 제어부를 제어하기 위한 제어신호를 출력하는 칼럼 제어부와,

상기 비트라인 및 비트바라인을 풀-다운시키고 이퀄라이징시키기 위한 제어신호(C3\_C)를 받는 풀-다운 및 이퀄라이저부를 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 5

제 3 항에 있어서, 상기 각 코어부들은 상기 로컬 제어신호 발생부에서 출력되는 제어신호에 의해 상부의 셀 어레이부와 하부의 셀 어레이부중 어느하나에 선택적으로 연결되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 6

제 3 항에 있어서, 상기 스플릿 워드라인 구동부는 상기 로컬 제어신호 발생부에서 출력되는 제어신호에 따라 좌측의 셀 어레이부와 우측의 셀 어레이부중 어느하나에 선택적으로 구동신호를 인가하는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 7

제 3 항에 있어서, 상기 센스앰프 및 입/출력 제어부는 상기 로컬 제어신호 발생부에서 출력되는 제어신호와 상기 칼럼 제어부에서 출력되는 제어신호에 따라 해당 메모리셀의 데이터를 센싱하는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 8

제 3 항에 있어서, 상기 각 메모리 셀은 상기 해당 비트라인에 제 1 단자가 연결되고, 상기 제 1 스플릿 워드라인의 신호에 의해 제어되는 제 1 트랜지스터,

상기 비트라인에 상응하는 비트바라인에 제 1 단자가 연결되고, 상기 제 2 스플릿 워드라인의 신호에 의해 제어되는 제 2 트랜지스터,

상기 제 2 스플릿 워드라인과 상기 제 1 트랜지스터의 제 2 단자 사이에 연결되는 제 1 강유전체 커패시터와, 그리고

상기 제 1 스플릿 워드라인과 상기 제 2 트랜지스터의 제 2 단자 사이에 연결된 제 2 강유전체 커패시터로 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 9

제 3 항에 있어서, 외부에서 입력되는 칩 인에이블신호(CSBpad), 파워-업신호, 그리고 X.Z-어드레스의 변화에 따라 상기 로컬 제어신호 발생부로 제어신호를 출력하는 글로벌 제어신호 발생부를 더 포함하는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 10

제 3 항에 있어서, 상기 로컬 제어신호 발생부는 글로벌 제어신호 발생부에서 출력되는 제 1 신호군(群)과 입력되는 Z-어드레스신호를 조합하여 논리연산하고, 그 결과값을 상기 코어부로 출력하는 제 1 논리회로부;

상기 글로벌 제어신호 발생부에서 출력되는 제 2 신호군(群)과 외부에서 인가되는 라이트 인에이블신호(WEBpad)를 조합하여 논리연산하고, 그 결과값을 상기 칼럼 제어부로 출력하는 제 2 논리회

로부:

상기 글로벌 제어신호 발생부에서 출력되는 제 3 신호군(群)과 Y-어드레스 변환을 알려주는 Y-ATD신호를 조합하여 논리연산하고, 상기 스플릿 워드라인 구동부로 출력하는 제 3 논리회로부를 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 11

제 10 항에 있어서, 상기 제 1 신호군은 센스앰프 및 입/출력 제어부의 상기 센스앰프를 인에이블시키는 신호(SAN\_C, SAP\_C)를 만들기 위한 예비신호(SAN, SAP)와, 상기 풀-다운 및 이퀄라이저부를 인에이블시키는 신호(C3\_C)를 만들기 위한 예비신호(C3)를 포함하는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 12

제 10 항에 있어서, 상기 제 2 신호군은 상기 칼럼 제어부로 인가되는 제어신호(C4N)신호를 만들기 위한 예비신호(C3)와 라이트 인에이블 패드신호(WEBpad)를 포함하는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 13

제 10 항에 있어서, 상기 제 3 신호군은 상기 스플릿 워드라인 구동부의 제 1 스플릿 워드라인신호(SWL1)를 만들기 위한 예비신호(S1)와 제 2 스플릿 워드라인신호(SWL2)를 만들기 위한 예비신호(S2)와, 상기 제 1 스플릿 워드라인의 신호와 제 2 스플릿 워드라인의 신호가 활성화상태임을 알리는 신호(P2)와, 어드레스변환 검출신호(ATD신호)와, 상기 예비신호(C3)신호와 함께 상기 칼럼 제어부로 인가되는 제어신호(C4N)를 만들기 위한 예비신호(C4)를 포함하는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 14

제 10 항에 있어서, 상기 제 1 논리회로부는 입력되는 Z-어드레스신호를 조합하고 논리연산하여 상기 센스앰프 및 입/출력 제어부로 출력하는 제 1 논리연산부와,

상기 글로벌 제어신호 발생부에서 출력되는 센스앰프 인에이블신호를 만들기 위한 예비신호(SAP, SAN)를 조합하여 논리연산한 후, 그 결과값을 상기 센스앰프 및 입/출력 제어부로 출력하는 제 2 논리연산부와,

상기 글로벌 제어신호 발생부에서 출력되는 풀-다운 및 이퀄라이저부의 인에이블신호를 만들기 위한 예비신호(C3)와 상기 제 1 논리연산부에서 Z-어드레스를 조합하여 연산된 신호를 조합하여 논리연산한 후, 그 결과값을 상기 센스앰프 및 입/출력 제어부로 출력하는 제 3 논리연산부를 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 15

제 14 항에 있어서, 상기 제 1 논리연산부는 탭 메인 셀을 선택하기 위한 것으로써, 제 1, 제 2 Z-어드레스신호(Z-Add1, Z-Add2)를 논리연산하는 제 1 낸드게이트(NAND1)와,

보통 메인 셀을 선택하기 위한 것으로써, 제 3, 제 4 Z-어드레스신호(Z-Add3, Z-Add4)를 논리연산하는 제 2 낸드게이트와,

상기 제 1, 제 2 낸드게이트의 출력신호를 논리연산하는 제 3 낸드게이트(NAND2)와,

상기 제 1 낸드게이트의 출력신호를 반전시켜 상기 비트라인과 센스앰프의 입/출력단간의 제어를 위한 신호(BS\_T)를 출력하는 제 1 인버터와,

상기 제 1 인버터의 출력신호를 반전시켜 상기 비트라인과 센스앰프의 입/출력단간의 제어를 위한 신호(BSB\_T)를 출력하는 제 2 인버터와,

상기 제 2 낸드게이트의 출력신호를 반전시켜 상기 비트라인과 센스앰프의 입/출력단간의 제어를 위한 신호(BS\_B)를 출력하는 제 3 인버터와,

상기 제 3 인버터의 출력신호를 반전시켜 상기 비트라인과 센스앰프의 입/출력단간의 제어를 위한 신호(BSB\_B)를 출력하는 제 4 인버터로 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 16

제 15 항에 있어서, 상기 제 1, 제 2 인버터의 출력신호는 상기 센스앰프 및 입/출력 제어부의 상부에 형성된 메모리 셀(탭 메인 셀)을 선택하기 위한 제어신호로 사용되고, 상기 제 3, 제 4 인버터의 출력신호는 상기 센스앰프 및 입/출력 제어부의 하부에 형성된 메모리 셀(보통 메인 셀)을 선택하기 위한 제어신호로 사용하는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 17

제 14 항에 있어서, 상기 제 2 논리연산부는 상기 글로벌 제어신호 발생부의 출력신호(SAP)와 상기 제 1 논리연산부의 제 3 낸드게이트의 출력신호를 논리연산하는 제 4 낸드게이트(NAND4)와,

상기 글로벌 제어신호 발생부의 출력신호(SAN)와 상기 제 1 논리연산부의 제 3 낸드게이트(NAND3)의 출력신호를 논리연산하는 제 5 낸드게이트(NAND5)와,

상기 제 4 낸드게이트의 출력신호를 반전시켜 상기 센스앰프를 활성화 또는 비활성화시키는 제어신호(SAP\_C)를 출력하는 제 5 인버터(INV5)와,



상기 제 5 낸드게이트의 출력신호를 반전시켜 상기 센스앰프를 활성화 또는 비활성화시키는 제어신호(SAN\_C)를 출력하는 제 6 인버터(INV6)를 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 18

제 17 항에 있어서, 상기 글로벌 제어신호 발생부에서 출력되는 SAP신호 및 SAN신호는 상기 센스앰프를 활성화시키거나 또는 비활성화시키기 위한 제어신호(SAP\_C, SAN\_C)를 만들기 위한 예비신호로 사용되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 19

제 14 항에 있어서, 상기 제 3 논리연산부는 상기 글로벌 제어신호 발생부의 출력신호(C3)를 반전시키는 제 7 인버터와,

상기 제 7 인버터의 출력신호와 상기 제 1 논리연산부의 제 3 낸드게이트(NAND3)의 출력신호를 논리연산하는 제 6 낸드게이트(NAND6)와,

상기 제 6 낸드게이트의 출력신호를 반전시키는 제 8 인버터(INV8)와,

상기 제 8 인버터의 출력신호를 반전시키는 제 9 인버터(INV9)로 구성되어 상기 풀-다운 및 이퀄라이저부의 인에이블신호(C3\_C)를 출력하는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 20

제 10 항에 있어서, 상기 제 2 논리회로부는 상기 글로벌 제어신호 발생부의 출력신호(C3)신호와 외부에서 인가되는 라이트 인에이블신호(WEBpad)를 조합하여 논리연산한 후, 그 결과값을 상기 칼럼 제어부로 출력하는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 21

제 10 항에 있어서, 상기 제 3 논리회로부는 상기 제 1 논리연산부의 제 3 낸드게이트의 출력신호를 반전시킨 신호와 상기 글로벌 제어신호 발생부의 출력신호(C4, P2, S2) 및 상기 Y-ATD신호를 조합하여 논리연산한 후, 상기 스플릿 워드라인 구동부로 출력하는 제 4 논리연산부와,

상기 제 1 논리연산부의 제 3 낸드게이트의 출력신호를 반전시킨 신호와 상기 글로벌 제어신호 발생부의 출력신호(S1)를 조합하여 논리연산한 후, 그 결과값을 상기 스플릿 워드라인 구동부로 출력하는 제 5 논리연산부를 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 22

제 20 항에 있어서, 상기 제 2 논리회로부는 외부에서 인가되는 라이트 인에이블신호(WEBpad)를 반전시키는 제 10 인버터(INV10)와,

상기 제 10 인버터의 출력신호를 반전시키는 제 11 인버터(INV11)와,

상기 글로벌 제어신호 발생부의 출력신호(C4)를 반전시키는 제 12 인버터(INV12)와,

상기 제 11 인버터의 출력신호와 상기 제 12 인버터의 출력신호를 논리연산하는 제 7 낸드게이트(NAND7)와,

상기 제 7 낸드게이트의 출력신호를 반전시키는 제 13 인버터(INV13)와,

상기 제 1 논리연산부의 상기 제 3 낸드게이트(NAND3)의 출력신호를 반전시킨 신호와 상기 제 13 인버터의 출력신호, 그리고 상기 글로벌 제어신호 발생부의 출력신호(C3)를 논리연산하는 제 1 노아게이트(NOR1)와,

상기 제 1 노아게이트(NOR1)의 출력신호를 반전시키는 제 15 인버터(INV15)와,

상기 제 15 인버터의 출력신호를 반전시키는 제 16 인버터(INV16)로 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 23

제 22 항에 있어서, 상기 제 16 인버터(INV16)의 출력신호는 상기 칼럼 제어부로 입력되는 제어신호(C4N)로 사용되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 24

제 21 항에 있어서, 상기 제 4 논리연산부는 글로벌 제어신호 발생부의 출력신호(P2)를 반전시키는 제 17 인버터(INV17)와,

상기 글로벌 제어신호 발생부의 출력신호(C4)와, 상기 제 10 인버터(INV10)의 출력신호, 상기 제 17 인버터의 출력신호, 그리고 외부에서 인가되는 Y-ATD신호를 논리연산하는 제 8 낸드게이트(NAND8)와,

상기 제 8 낸드게이트의 출력신호를 반전시키는 제 18 인버터(INV18)와,

상기 제 18 인버터의 출력신호를 일정시간동안 딜레이시키는 딜레이부(D)와,

상기 딜레이부의 출력신호와 상기 글로벌 제어신호 발생부의 출력신호(S2)를 논리연산하는 제 2 노아게이트(NOR2)와.

상기 제 2 노아게이트의 출력신호와, 상기 제 1 논리연산부의 제 3 낸드게이트(NAND3)출력신호를 반전시킨 신호를 논리연산하는 제 3 노아게이트(NOR3)와,

상기 제 3 노아게이트(NOR3)의 출력신호를 제 19 인버터가 반전시켜 상기 스플릿 워드라인 구동부를 제어하기 위한 제어신호(PS2)를 출력하는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 25

제 21 항에 있어서, 상기 제 5 논리연산부는 상기 제 18 인버터(INV18)의 출력신호와 글로벌 제어신호 발생부의 출력신호(S1)를 논리연산하는 제 4 노아게이트(NOR4)와,

상기 제 1 논리연산부의 제 3 낸드게이트의 출력신호를 반전시킨 신호와 상기 제 4 노아게이트의 출력신호를 논리연산하는 제 5 노아게이트(NOR5)와,

상기 제 5 노아게이트의 출력신호를 제 20 인버터(INV20)가 반전시켜 상기 스플릿 워드라인 구동부를 제어하기 위한 제어신호(PS1)를 출력하는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 26

제 4 항에 있어서, 상기 칼럼 제어부는 프리디코딩된 복수개의 Y-어드레스신호중 각각의 어드레스신호와 상기 로컬 제어신호 발생부의 출력신호(C4N)를 논리연산하는 복수개의 낸드게이트로 이루어져 복수개의 Y-어드레스바(YB\_n)신호를 선택적으로 출력하는 논리연산부와,

상기 각 낸드게이트의 출력신호를 반전시키는 복수개의 인버터로 이루어져 복수개의 Y-어드레스신호(Y\_n)를 출력하고, 상기 논리연산부와 함께 선택하고자 하는 센스앰프의 임출력을 제어하기 위한 제어신호를 선택적으로 출력하는 반전부를 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 27

제 26 항에 있어서, 상기 논리연산부와 반전부에서 선택적으로 출력되는 Y-어드레스신호(Y\_n) 및 Y-어드레스바신호(YB\_n)에 상응하는 비트라인 및 비트바라인에 외부로부터 들어오는 데이터가 실리게 되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 28

제 4 항에 있어서, 상기 센스앰프 및 입/출력 제어부는 수직방향으로 형성된 상부 셀어레이부 및 하부 셀어레이부와,

상기 상부 셀어레이부와 상기 하부 셀어레이부를 연결하는 비트라인 및 비트바라인과,

상기 비트라인 및 비트바라인의 중앙부에 구성되어 상기 상부 셀어레이부 및 상기 하부 셀어레이부의 데이터를 센싱하기 위한 센스앰프와,

상기 상부 셀어레이부의 비트라인 및 비트바라인과 상기 센스앰프를 선택적으로 연결시키기 위한 제 1, 제 2 스위칭소자와,

상기 하부 셀 어레이부의 비트라인 및 비트바라인과 상기 센스앰프를 선택적으로 연결시키기 위한 제 3, 제 4 스위칭소자와,

상기 센스앰프의 임출력단을 외부의 데이터라인 및 데이터바라인에 선택적으로 연결시키는 제 5, 제 6 스위칭소자를 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 29

제 28 항에 있어서, 상기 제 1, 제 2, 제 3, 제 4, 제 5, 그리고 제 6 스위칭소자는 트랜스미션 게이트 또는 앤모스(NMOS)트랜지스터중 어느하나로 구성하는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 30

제 28 항에 있어서, 상기 제 1, 제 2 스위칭소자는 상기 로컬 제어신호 발생부의 제 1 인버터(INV1)의 출력신호(BS\_T) 및 제 2 인버터(INV2)의 출력신호(BSB\_T)에 의해 동작이 제어되고, 상기 제 3, 제 4 스위칭소자는 상기 로컬 제어신호 발생부의 제 3 인버터(INV3)의 출력신호(BS\_B) 및 제 4 인버터(INV4)의 출력신호(BSB\_B)에 의해 동작이 제어되고, 상기 제 5, 제 6 스위칭소자는 상기 칼럼 제어부에서 선택적으로 출력되는 Y-어드레스신호(Y\_n) 및 Y-어드레스바신호(YB\_n)에 의해 동작이 제어되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 31

칼럼 제어부로 인가되는 제어신호(C4N)를 만들기 위한 제 1 예비신호(C4), 플-다운 및 이퀄라이저부 인에이블신호(C3\_C)를 만들기 위한 제 2 예비신호(C3), 센스앰프 인에이블신호(SAN\_C, SAP\_C)를 만들기 위한 제 3 예비신호(SAN, SAP), 제 1, 제 2 스플릿 워드라인에 인가되는 신호를 만들기 위한 제 4 예비신호(S1, S2)를 출력하는 글로벌 제어신호 발생에 있어서,

칩 인에이블신호가 활성화된 후, 상기 제 1 예비신호는 로우상태, 상기 제 2 예비신호는 하이상태, 상기 제 3 예비신호는 비활성화상태, 그리고 제 4 예비신호가 모두 로우상태를 유지하고 있는 제 1 구간과, 상기 제 4 예비신호가 모두 하이상태, 상기 제 1, 제 2 예비신호는 로우상태, 상기 제 3 예비신호는 상기 제 4 예비신호가 하이상태를 유지하는 동안 활성화상태가 되는 제 2 구간과, 상기 제 4 예비신호가 각각 로우상태와 하이상태, 상기 제 1 예비신호는 하이상태, 상기 제 2, 제 3 예비신호는 상기 제 2 구

간의 상태를 유지하는 제 3 구간과, 상기 제 4 예비신호가 각각 하이상태와 로우상태, 상기 제 1, 제 2, 제 3 예비신호는 상기 제 3 구간의 상태를 유지하는 제 4 구간과, 첫 번째 Y-어드레스가 변화하기 이전까지 상기 제 4 예비신호가 모두 로우상태, 상기 제 1, 제 2, 제 3 예비신호는 상기 제 4 구간의 상태를 유지하는 제 5 구간으로 이루어진 제 1 단계;

첫 번째로 Y-어드레스가 변화하여 Y-ATD신호가 하이상태로 된 후, 두 번째로 Y-어드레스가 변화하기 이전까지 상기 제 1, 2, 3, 4 예비신호가 상기 제 5 구간의 상태를 유지하는 제 2 단계와,

상기 두 번째로 Y-어드레스가 변화하여 Y-ATD신호가 하이상태로 된 후, 상기 제 2 단계의 상태를 한 번 또는 그 이상 반복하는 제 3 단계를 포함하여 이루어지는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

#### 청구항 32

제 31 항에 있어서, 상기 로우상태인 칩 인에이블신호가 하이상태로 비활성화되면, 상기 제 1 예비신호는 로우상태, 제 2 예비신호는 하이상태, 제 3 예비신호는 비활성화상태가 되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 33

칼럼 제어부로 인가되는 제어신호(C4N)를 만들기 위한 제 1 예비신호(C4), 풀-다운 및 이퀄라이저부 인에이블신호(C3\_C)를 만들기 위한 제 2 예비신호(C3), 센스앰프 인에이블신호(SAN\_C, SAP\_C)를 만들기 위한 제 3 예비신호(SAN, SAP), 제 1, 제 2 스플릿 워드라인에 인가되는 신호를 만들기 위한 제 4 예비신호(S1, S2)를 출력하는 글로벌 제어신호 발생에 있어서,

칩 인에이블신호가 활성화된 후, 상기 제 1 예비신호는 로우상태, 상기 제 2 예비신호는 하이상태, 상기 제 3 예비신호는 비활성화상태, 그리고 제 4 예비신호가 모두 로우상태를 유지하고 있는 제 1구간과, 상기 제 4 예비신호가 모두 하이상태, 상기 제 1, 제 2 예비신호는 로우상태, 상기 제 3 예비신호는 상기 제 4 예비신호가 하이상태를 유지하는 동안 활성화상태가 되는 제 2 구간과, 상기 제 4 예비신호가 각각 로우상태와 하이상태, 상기 제 1 예비신호는 하이상태, 상기 제 2, 제 3 예비신호는 상기 제 2 구간의 상태를 유지하는 제 3 구간과, 상기 제 4 예비신호가 각각 하이상태와 로우상태, 상기 제 1, 제 2, 제 3 예비신호는 상기 제 3 구간의 상태를 유지하는 제 4 구간과, 첫 번째 X,Z-어드레스가 변화하여 X,Z-ATD 신호가 하이상태로 된 후, 상기 제 4 예비신호가 모두 로우상태, 상기 제 1, 제 2, 제 3 예비신호는 상기 제 4 구간의 상태를 유지하는 제 5 구간으로 이루어진 제 1 단계;

첫 번째로 X,Z-어드레스가 변화하여 X,Z-ATD신호가 하이상태로 된 후, 두 번째 X,Z-어드레스가 변화하기 이전까지 상기 제 1 단계의 과정을 수행하는 제 2 단계와,

두 번째로 X,Z-어드레스가 변화하여 X,Z-ATD신호가 하이상태로 된 후, 상기 제 2 단계를 한 번 또는 그 이상 반복수행하는 제 3 단계를 포함하여 이루어지는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 34

제 33 항에 있어서, 상기 제 2,3,4 구간과 상기 7,8,9구간에 상기 제 4 예비신호가 활성화상태임을 알리는 신호(P2)가 하이상태인 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 35

복수개의 비트라인들과 상기 각 비트라인의 일측에 형성된 복수개의 비트바라인들, 상기 비트라인에 교차하는 방향으로 형성된, 복수개의 제 1, 제 2 스플릿 워드라인들과, 상기 각 비트라인들과 교차하는 상기 제 1 스플릿 워드라인과 제 2 스플릿 워드라인 사이에 형성된 복수개의 메모리 셀로 이루어진 비휘발성 강유전체 메모리소자에 따른 로컬 제어신호 발생에 있어서,

칩인에이블신호가 활성화되어 있는 상태에서 라이트모드의 경우 Y-어드레스만 또는 X,Z-어드레스만이 변화하는 시점에서 Y-ATD신호 또는 X,Z-ATD신호가 하이상태로 천이되면 제 1 스플릿 워드라인(SWL1)에 인가되는 신호와 제 2 스플릿 워드라인(SWL2)에 인가되는 신호가 각각 로우상태와 하이상태인 구간 또는 하이상태와 로우상태인 구간에서 메모리 셀에 로직 1을, 그리고 상기 제 1, 제 2 스플릿 워드라인에 인가되는 신호가 모두 하이인 구간에서 메모리 셀에 로직 0을 라이트하는 라이트동작을 수행하고, 리드모드의 경우, 상기 라이트 인에이블신호를 하이상태로 천이하여 Y-어드레스만 또는 X,Z-어드레스만의 변화에 의해 Y-ATD신호 또는 X,Z-ATD신호가 하이상태가 되어도 제 1 스플릿 워드라인(SWL1)과 제 2 스플릿 워드라인(SWL2)이 비활성화 상태를 계속 유지하도록 하여 Y-어드레스 또는 X,Z-어드레스가 변화하는 시점에서 센스앰프에 래치된 데이터를 데이터버스에 전달시키는 리드동작을 수행하는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 36

칼럼 제어부로 인가되는 제 1 제어신호(C4N), 풀-다운 및 이퀄라이저부 인에이블시키는 제 2 제어신호(C3\_C), 센스앰프 인에이블시키는 제 3 제어신호(SAN\_C, SAP\_C), 스플릿 워드라인 구동부로 인가되는 제 4 제어신호(PS1, PS2)를 출력하는 로컬 제어신호 발생에 있어서,

라이트 인에이블신호가 로우상태인 라이트모드에서 칩 인에이블신호가 활성화된 후 첫 번째로 Y-어드레스가 변화하기 이전까지 제 1, 제 2 스플릿 워드라인의 신호(SWL1, SWL2)가 모두 로우상태, 제 1 제어신호는 로우상태, 제 2 제어신호는 하이상태, 제 3 제어신호는 비활성화상태를 유지하는 제 1 구간과, 상기 제 1, 제 2 스플릿 워드라인의 신호가 모두 하이상태, 상기 제 1 제어신호는 하이상태, 상기 제 2 제어신호는 로우상태, 상기 제 3 제어신호는 상기 제 1, 제 3 스플릿 워드라인의 신호가 하이상태를 유지하는 동안에 활성화상태가 되는 제 2 구간과, 상기 제 1, 제 2 스플릿 워드라인의 신호가 각각 로우상태와 하이상태, 상기 제 1, 제 2, 제 3 제어신호는 상기 제 2 구간의 상태를 유지하는 제 3 구간과, 상기 제

1. 제 2 스플릿 워드라인의 신호가 각각 하이상태와 로우상태, 상기 제 1. 제 2. 제 3 제어신호는 상기 제 3구간의 상태를 유지하는 제 4 구간과, 상기 제 1. 제 2 스플릿 워드라인의 신호가 모두 로우상태, 상기 제 1. 제 2. 제 3 제어신호는 상기 제 5 구간의 상태를 유지하는 제 5 구간으로 이루어진 제 1 단계와,

상기 첫 번째로 Y-어드레스가 변화하여 Y-ATD신호가 하이상태로 된 후, 제 1, 제 2 스플릿 워드라인의 신호가 각각 하이상태와 로우상태를 유지하는 제 6구간과, 모두 하이상태가 되는 제 7 구간과, 각각 로우상태와 하이상태가 되는 제 8 구간과, 두 번째로 Y-어드레스가 변화하기 직전까지 둘다 로우상태가 되는 제 9 구간으로 이루어진 제 2 단계와,

상기 두 번째로 Y-어드레스가 변화하여 Y-ATD신호가 하이상태로 된 후, 상기 제 2 단계를 한 번 또는 그 이상 연속하여 반복하는 제 3 단계를 포함하여 이루어지는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 37

제 36 항에 있어서, 상기 제 2 단계에서, 상기 제 1, 제 2, 제 3 제어신호는 상기 제 5 구간의 상태를 유지하는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 38

칼럼 제어부로 인가되는 제 1 제어신호(C4N), 풀-다운 및 이퀄라이저부 인에이블시키는 제 2 제어신호(C3\_C), 센스앰프 인에이블시키는 제 3 제어신호(SAN\_C, SAP\_C), 스플릿 워드라인 구동부로 인가되는 제 4 제어신호(PS1, PS2)를 출력하는 로컬 제어신호 발생에 있어서,

라이트 인에이블신호가 하이상태인 리드모드에서 칩 인에이블신호가 활성화된 후 첫 번째로 Y-어드레스가 변화하기 이전까지 제 1, 제 2 스플릿 워드라인의 신호(SWL1, SWL2)가 모두 로우상태, 제 1 제어신호는 로우상태, 제 2 제어신호는 하이상태, 제 3 제어신호는 비활성화상태를 유지하는 제 1 구간과, 상기 제 1, 제 2 스플릿 워드라인의 신호가 모두 하이상태, 상기 제 1, 제 2 제어신호는 로우상태, 상기 제 3 제어신호는 상기 제 1, 제 3 스플릿 워드라인의 신호가 하이상태를 유지하는 동안에 활성화상태가 되는 제 2 구간과, 상기 제 1, 제 2 스플릿 워드라인의 신호가 각각 로우상태와 하이상태, 상기 제 1 제어신호는 하이상태, 상기 제 2, 제 3 제어신호는 상기 제 2 구간의 상태를 유지하는 제 3 구간과, 상기 제 1, 제 2 스플릿 워드라인의 신호가 각각 하이상태와 로우상태, 상기 제 1, 제 2, 제 3 제어신호는 상기 제 3구간의 상태를 유지하는 제 4 구간과, 상기 제 1, 제 2 스플릿 워드라인의 신호가 모두 로우상태, 상기 제 1, 제 2, 제 3 제어신호는 상기 제 5 구간의 상태를 유지하는 제 5 구간으로 이루어진 제 1 단계와,

상기 첫 번째로 Y-어드레스가 변화하여 Y-ATD신호가 하이상태로 된 후, 두 번째로 Y-어드레스가 변화하기 전까지 상기 제 1, 제 2 스플릿 워드라인의 신호가 상기 제 5 구간의 상태를 유지하고, 상기 제 1, 제 2, 제 3 제어신호도 상기 제 5 구간의 상태를 유지하는 제 2 단계;

상기 두 번째 Y-어드레스가 변화하여 Y-ATD신호가 하이상태로 된 후, 상기 제 2 단계를 한 번 또는 그 이상 반복하는 제 3 단계를 포함하여 이루어지는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 39

제 38 항에 있어서, 상기 로우상태인 칩 인에이블신호가 하이상태로 비활성화되면, 상기 제 1 제어신호는 로우상태, 제 2 제어신호는 하이상태, 상기 제 3 제어신호는 비활성화상태가 되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 40

제 38 항에 있어서, 상기 제 1 단계는 상기 제 2, 제 3, 제 4 구간에서 상기 제 1, 제 2 스플릿 워드라인이 활성화상태임을 알리는 신호(P2)가 하이상태를 유지하는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

#### 청구항 41

칼럼 제어부로 인가되는 제 1 제어신호(C4N), 풀-다운 및 이퀄라이저부 인에이블시키는 제 2 제어신호(C3\_C), 센스앰프 인에이블시키는 제 3 제어신호(SAN\_C, SAP\_C), 스플릿 워드라인 구동부로 인가되는 제 4 제어신호(PS1, PS2)를 출력하는 로컬 제어신호 발생에 있어서,

라이트 인에이블신호가 로우상태인 라이트모드에서 칩 인에이블신호가 활성화된 후 제 1, 제 2 스플릿 워드라인의 신호(SWL1, SWL2)가 모두 로우상태, 제 1 제어신호는 로우상태, 제 2 제어신호는 하이상태, 제 3 제어신호는 비활성화상태를 유지하는 제 1 구간과, 상기 제 1, 제 2 스플릿 워드라인의 신호가 모두 하이상태, 상기 제 1 제어신호는 하이상태, 상기 제 2 제어신호는 로우상태, 상기 제 3 제어신호는 상기 제 1, 제 3 스플릿 워드라인의 신호가 하이상태를 유지하는 동안에 활성화상태가 되는 제 2 구간과, 상기 제 1, 제 2 스플릿 워드라인의 신호가 각각 로우상태와 하이상태, 상기 제 1, 제 2, 제 3 제어신호는 상기 제 2 구간의 상태를 유지하는 제 3 구간과, 상기 제 1, 제 2 스플릿 워드라인의 신호가 각각 하이상태와 로우상태, 상기 제 1, 제 2, 제 3 제어신호는 상기 제 3 구간의 상태를 유지하는 제 4 구간과, 상기 제 1, 제 2 스플릿 워드라인의 신호가 모두 로우상태가 되고 첫 번째로 X,Z-어드레스가 변화하기 이전까지 상기 제 1, 제 2, 제 3 제어신호는 상기 제 5 구간의 상태를 유지하는 제 5 구간으로 이루어진 제 1 단계와,

상기 첫 번째로 X,Z-어드레스가 변화하여 X,Z-ATD신호가 하이상태로 된 후, 두 번째로 X,Z-어드레스가 변화하기 이전까지 상기 제 1 단계와 동일한 과정을 수행하는 제 2 단계와,

상기 두 번째로 X,Z-어드레스가 변화하여 X,Z-ATD신호가 하이상태로 된 후, 상기 제 2 단계를 한 번 또는 그 이상 반복수행하는 제 3 단계를 포함하여 이루어지는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

청구항 42

제 41 항에 있어서, 상기 2,3,4구간과 상기 7,8,9구간에서 상기 제 1, 제 2 스플릿 워드라인이 활성화상태임을 알리는 신호(P2)가 하이상태가 되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

청구항 43

칼럼 제어부로 인가되는 제 1 제어신호(C4N), 풀-다운 및 이퀄라이저부 인에이블시키는 제 2 제어신호(C3\_C), 센스앰프 인에이블시키는 제 3 제어신호(SAN\_C,SAP\_C), 스플릿 워드라인 구동부로 인가되는 제 4 제어신호(PS1,PS2)를 출력하는 로컬 제어신호 발생에 있어서,

라이트 인에이블신호가 하이상태인 리드모드에서 칩 인에이블신호가 활성화된 후 제 1, 제 2 스플릿 워드라인의 신호(SWL1,SWL2)가 모두 로우상태, 제 1 제어신호는 로우상태, 제 2 제어신호는 하이상태, 제 3 제어신호는 비활성화상태를 유지하는 제 1 구간과, 상기 제 1, 제 2 스플릿 워드라인의 신호가 모두 하이상태, 상기 제 1, 제 2 제어신호는 로우상태, 상기 제 3 제어신호는 상기 제 1, 제 3 스플릿 워드라인의 신호가 하이상태를 유지하는동안에 활성화상태가되는 제 2 구간과, 상기 제 1, 제 2 스플릿 워드라인의 신호가 각각 로우상태와 하이상태, 상기 제 1 제어신호는 하이상태, 상기 제 2, 제 3 제어신호는 상기 제 2 구간의 상태를 유지하는 제 3 구간과, 상기 제 1, 제 2 스플릿 워드라인의 신호가 각각 하이상태와 로우상태, 상기 제 1,제 2,제 3 제어신호는 상기 제 3 구간의 상태를 유지하는 제 4 구간과, 상기 제 1, 제 2 스플릿 워드라인의 신호가 모두 로우상태이고 첫 번째로 X,Z-어드레스가 변화하기 이전까지 상기 제 1,제 2,제 3 제어신호는 상기 제 5 구간의 상태를 유지하는 제 5 구간으로 이루어진 제 1 단계와,

상기 첫 번째로 X,Z-어드레스가 변화하여 X,Z-ATD신호가 하이상태된 후, 두 번째로 X,Z-어드레스가 변화하기 이전까지 상기 제 1 단계와 동일한 과정을 수행하는 제 2 단계와,

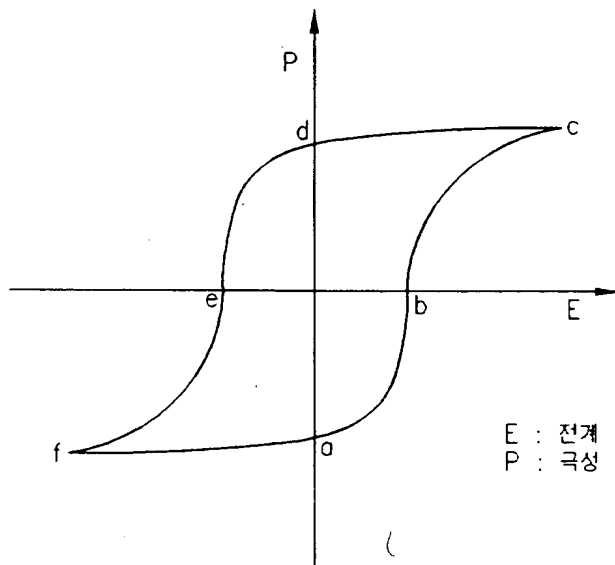
상기 두 번째로 X,Z-어드레스가 변화하여 X,Z-ATD신호가 하이상태로 된 후, 상기 제 2 단계를 한 번 또는 그 이상 반복수행하는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

청구항 44

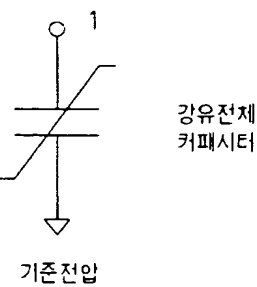
제 43 항에 있어서, 상기 로우상태인 칩 인에이블신호가 하이상태로 비활성화되면, 상기 제 1, 제 2 제어신호는 로우상태, 상기 제 3 제어신호는 비활성화상태가 되는 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

도면

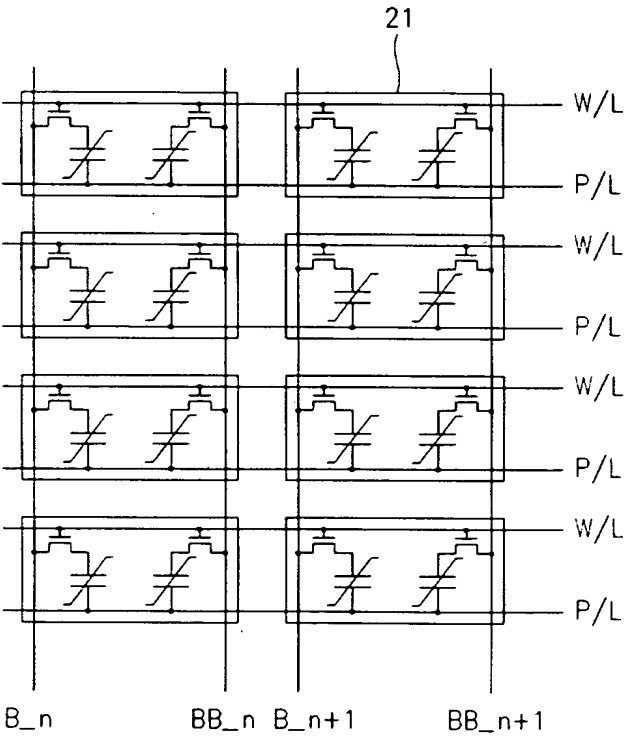
도면 1a



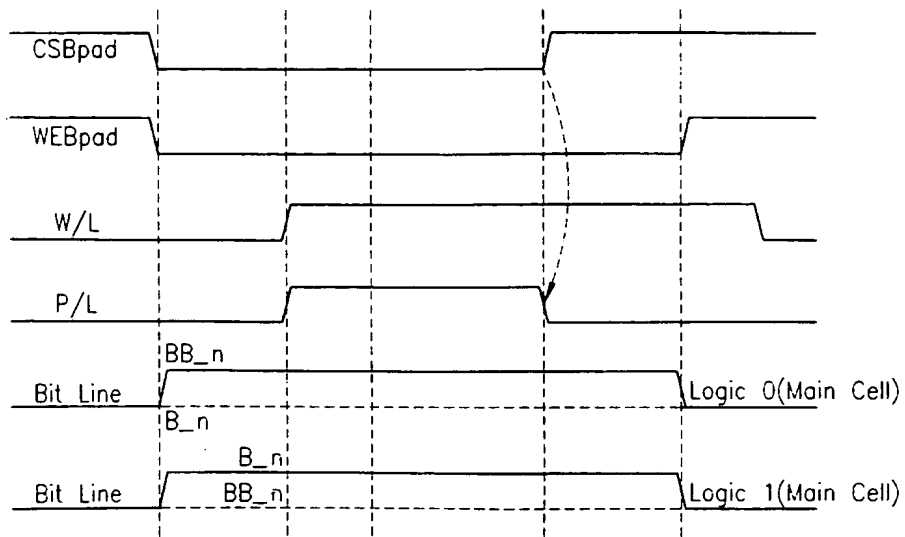
도면 1b



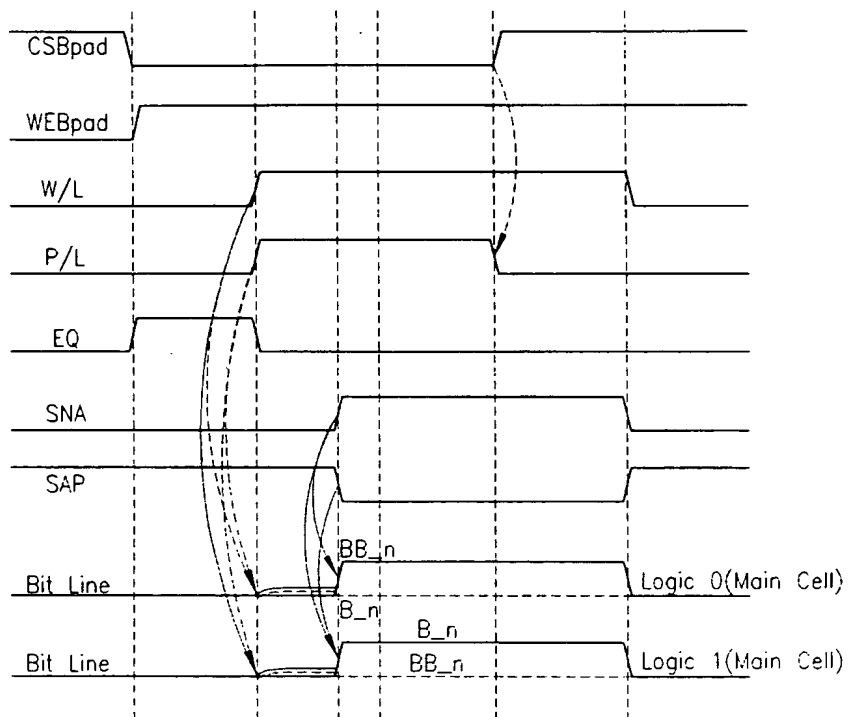
도면 2



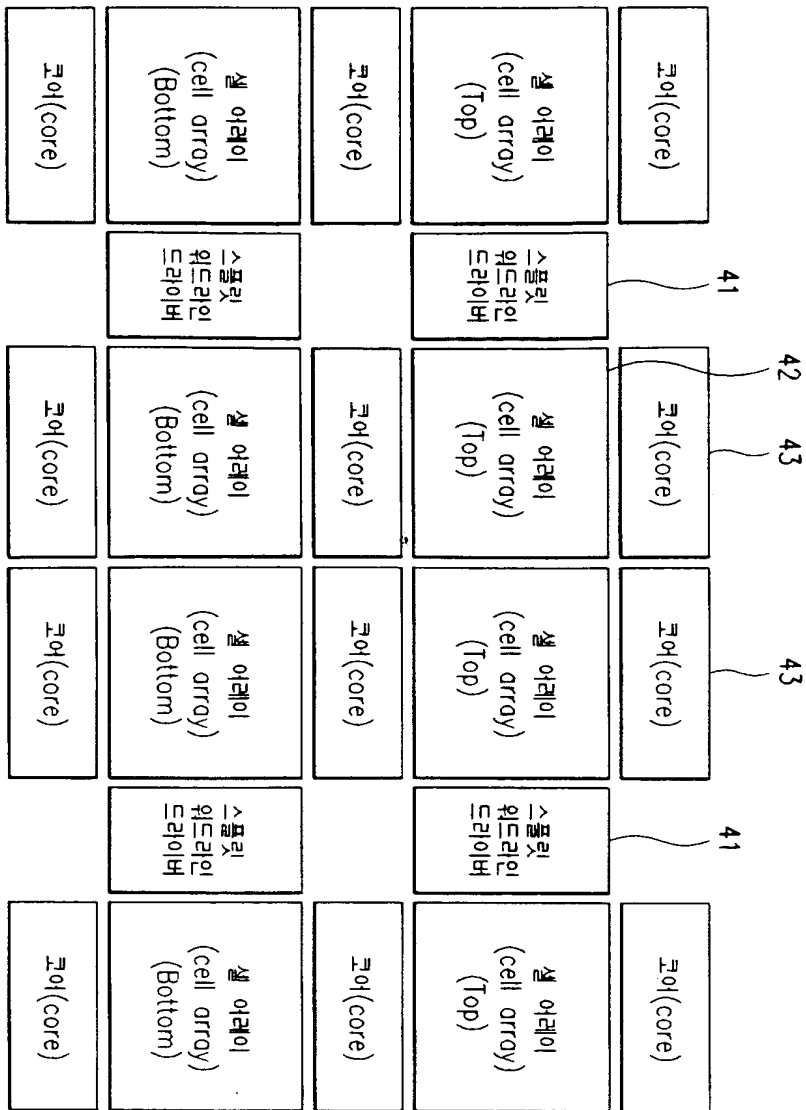
도면 3a



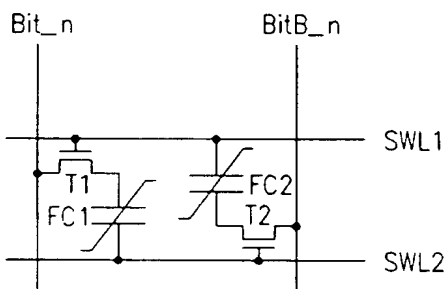
도면 3b



도면4

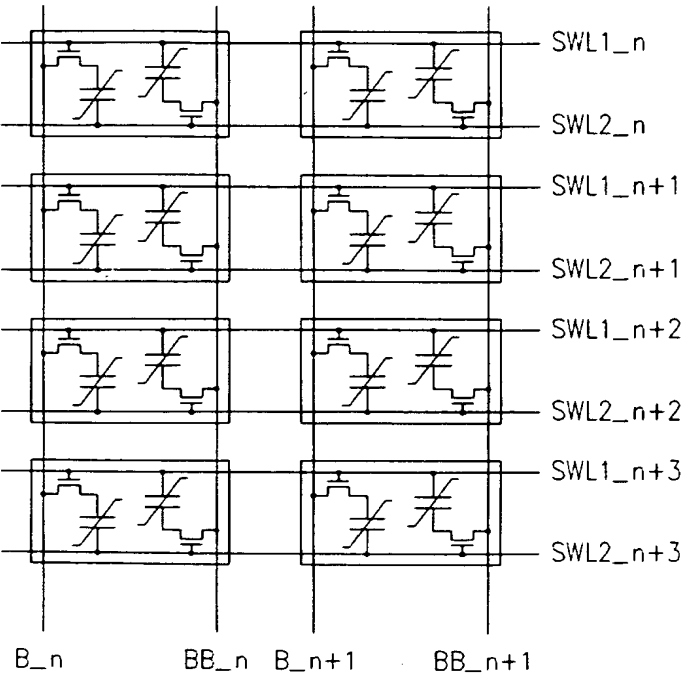


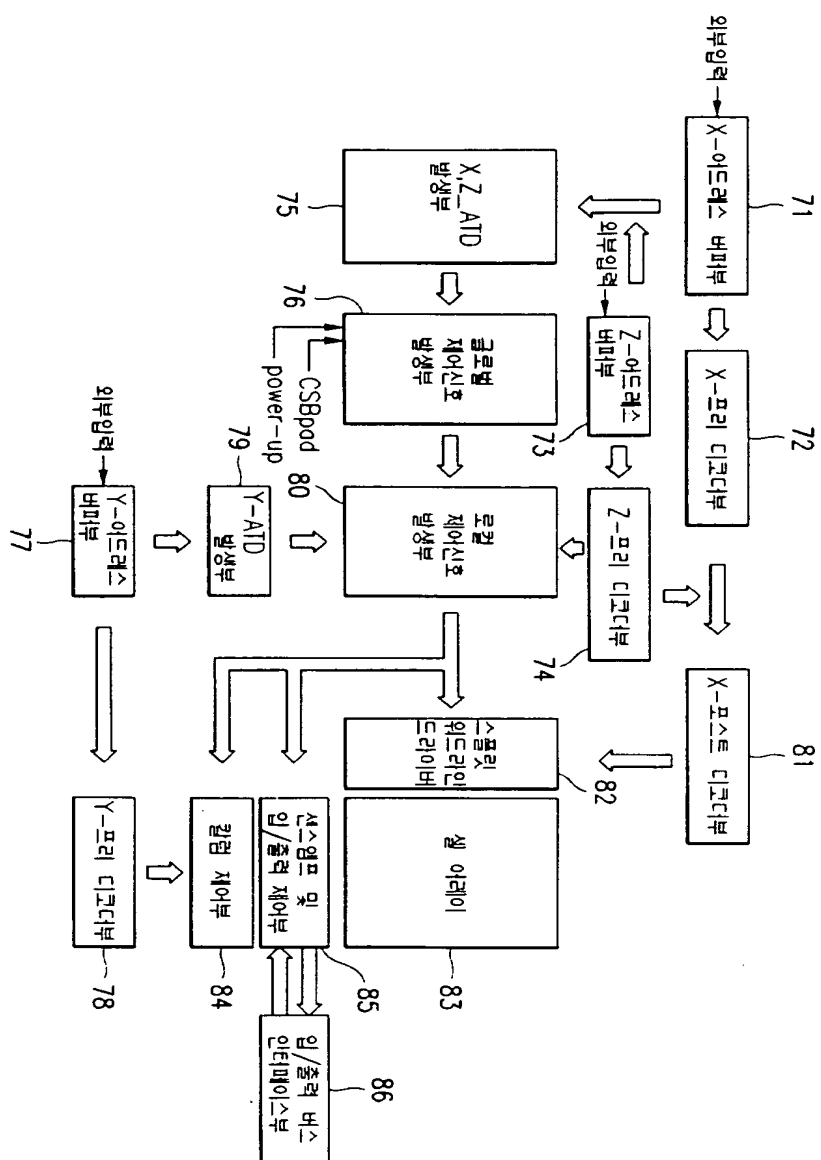
도면5



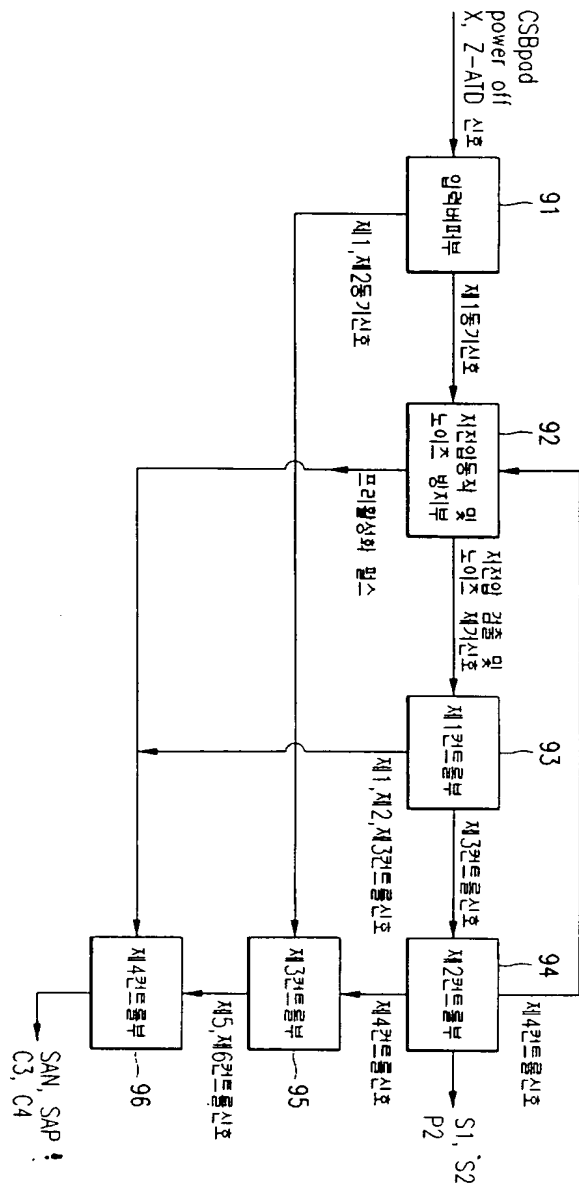


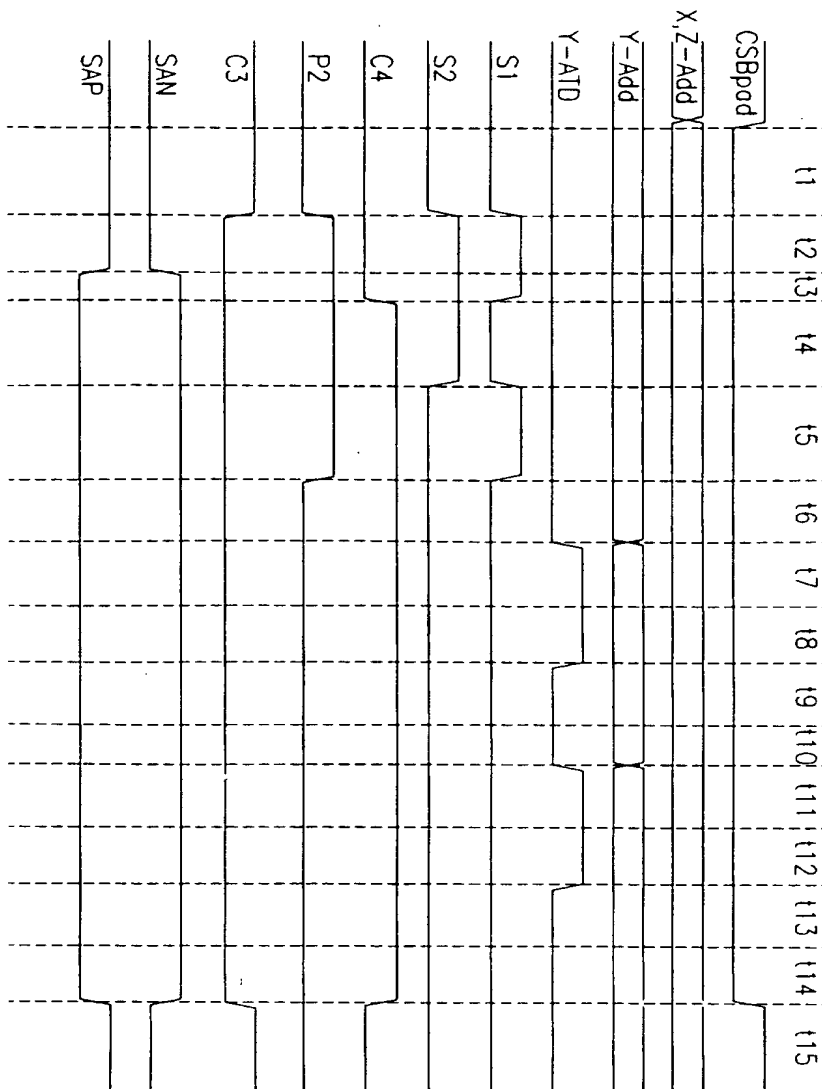
도면6





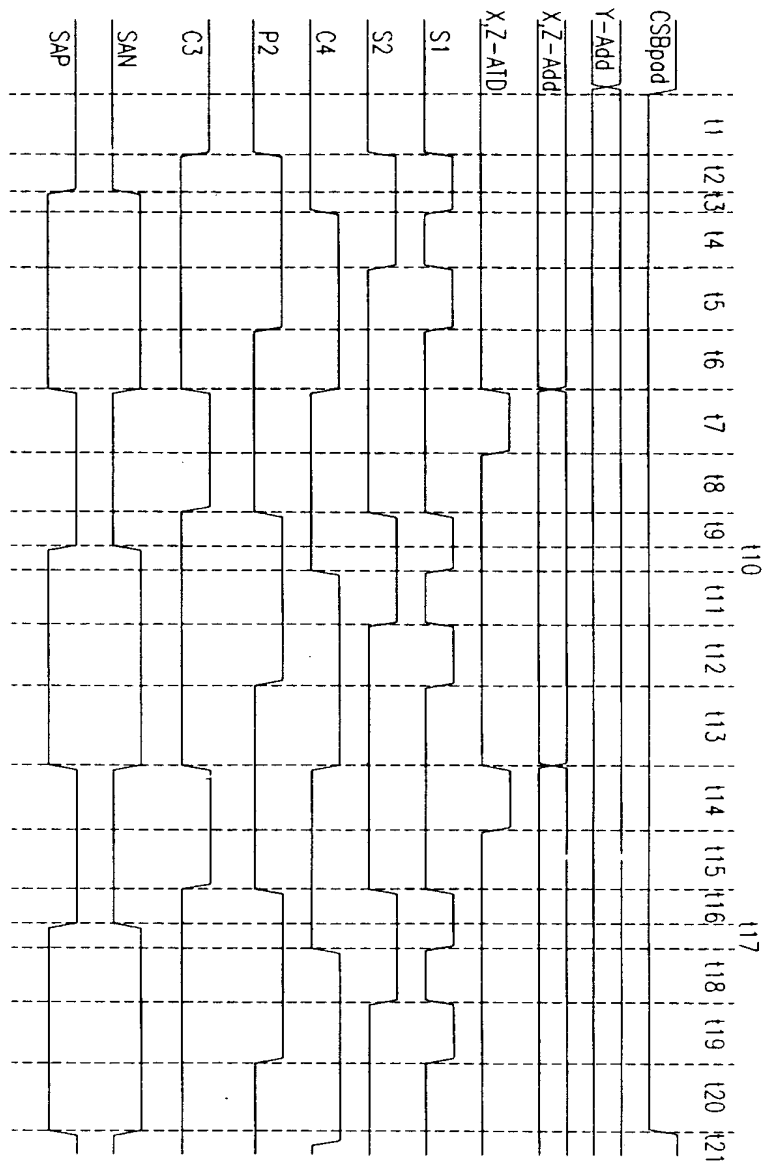
도면 8



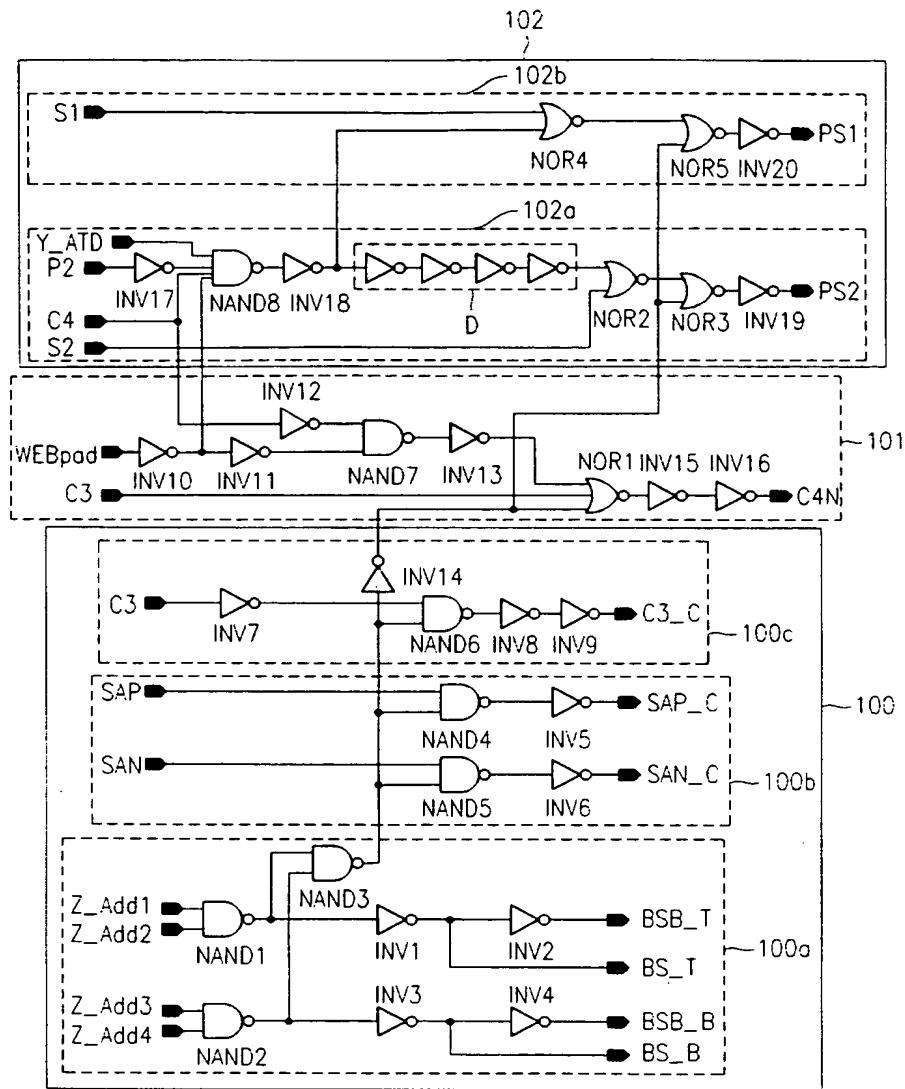


529

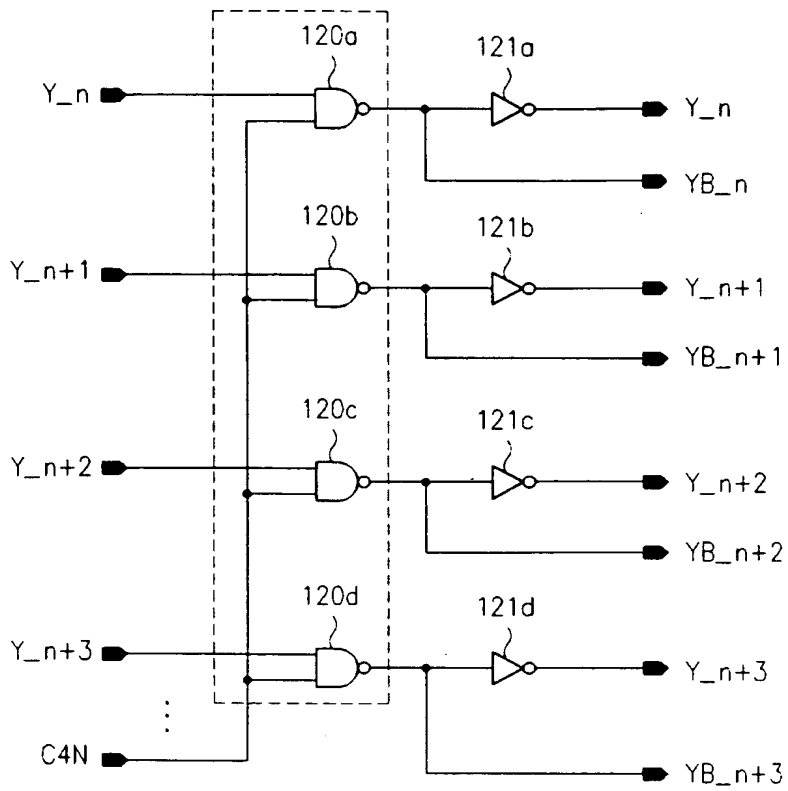
도면 10



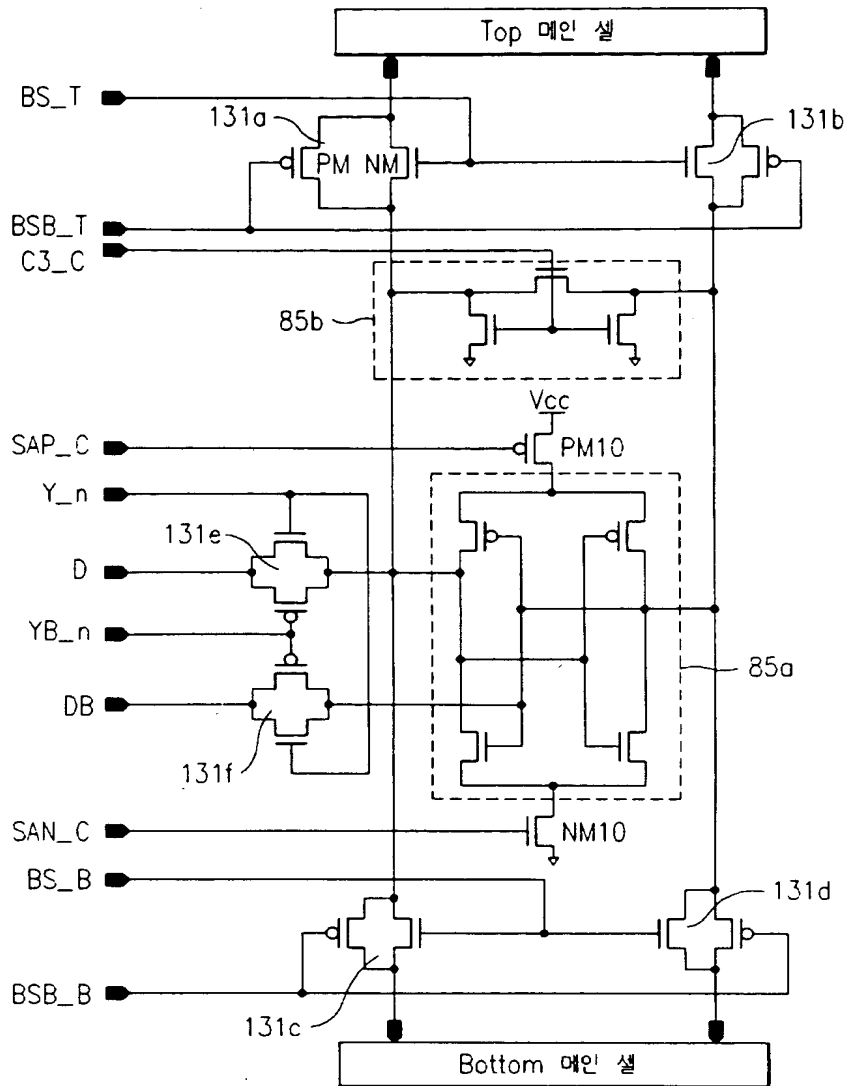
도면 11



도면 12

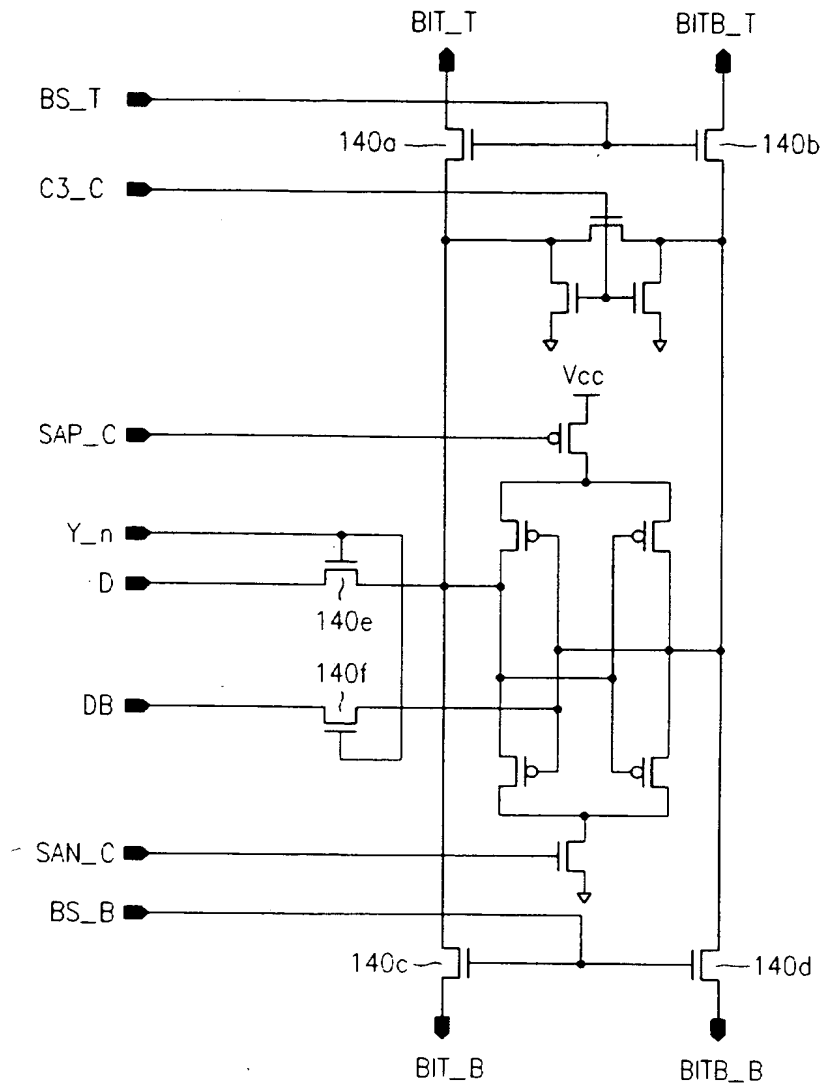


도면 13

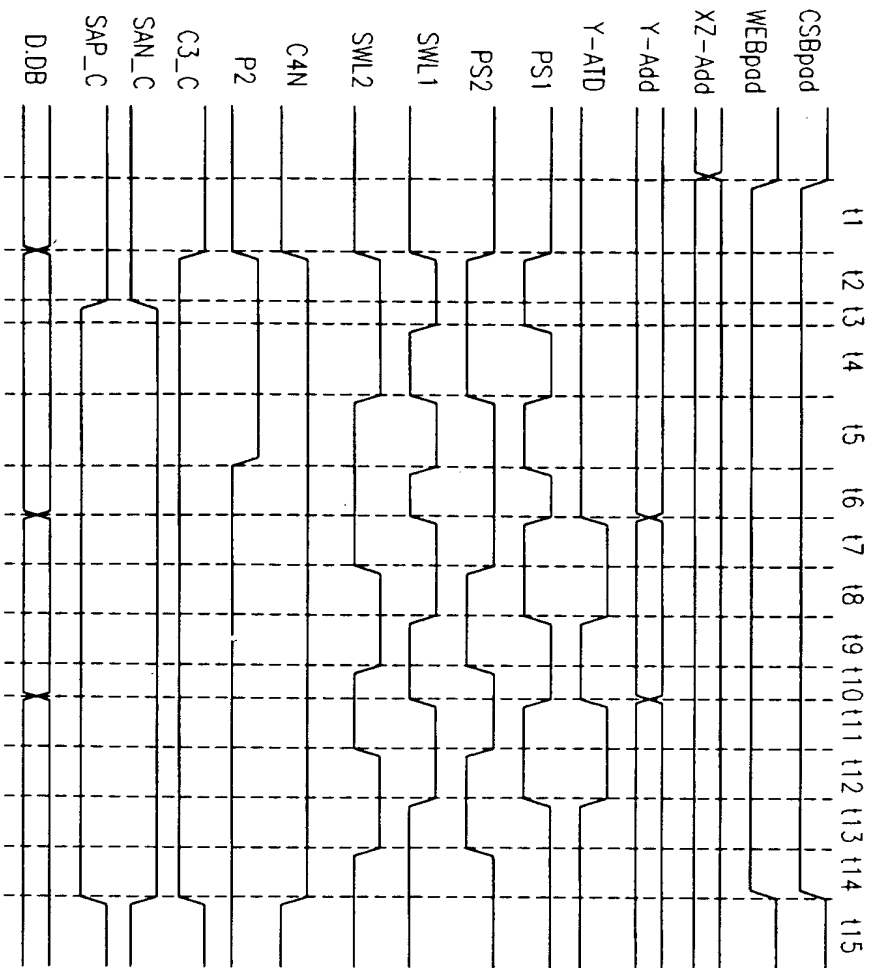




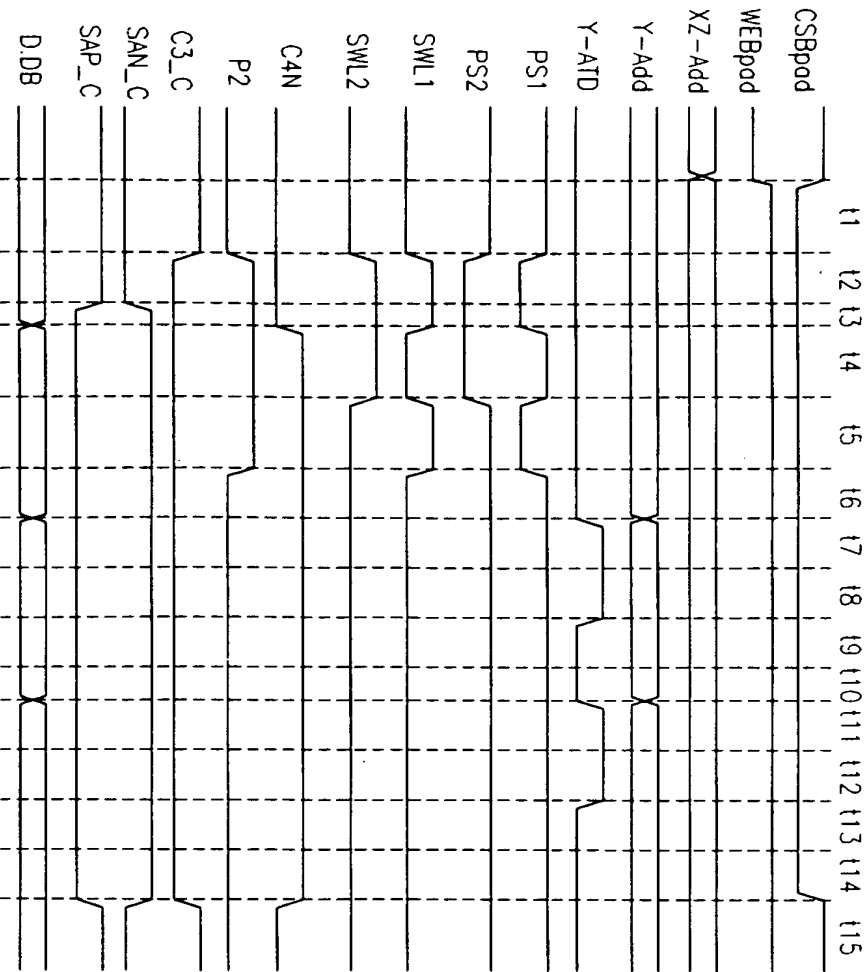
도면 14

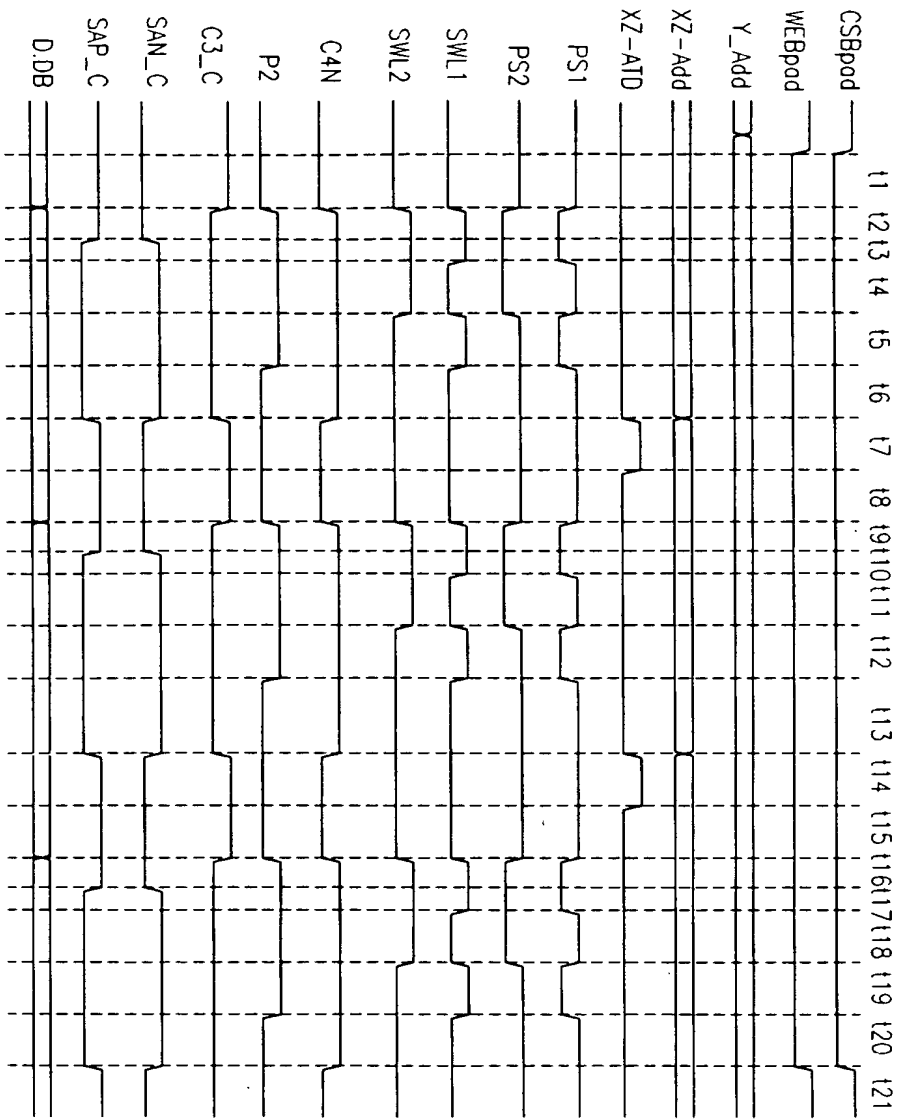


도면 15



도면 16





도면 17

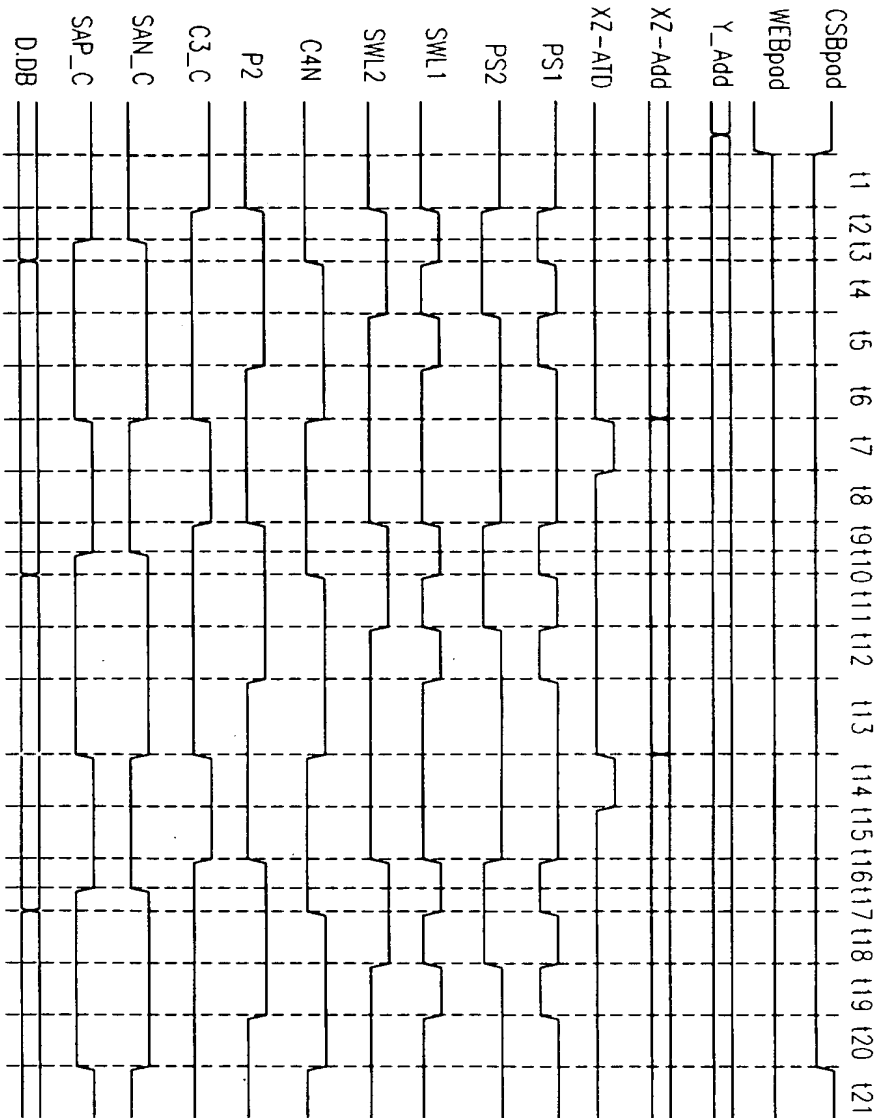


圖 18